

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-042827

(43)Date of publication of application : 16.02.2001

(51)Int.CI.

G09G 3/30  
G09F 9/30  
G09G 3/20

(21)Application number : 11-219782

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 03.08.1999

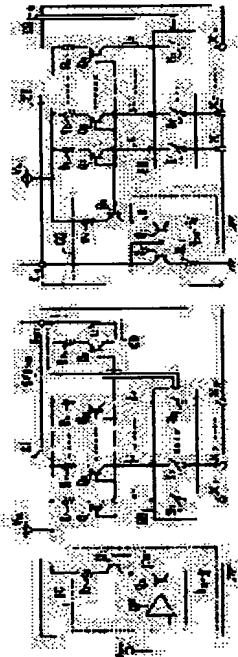
(72)Inventor : ISHIZUKA SHINICHI  
TSUCHIDA MASAMI  
SAKAMOTO TSUYOSHI  
OCHII HIDEO

## (54) DISPLAY DEVICE AND DRIVING CIRCUIT OF DISPLAY PANEL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make light emitting luminance on a display possible to be uniform at the time of constituting an anode line drive circuit of plural IC chips by controlling the amount of light emitting driving current to be outputted by a first anode line driven circuit based on the light emitting current outputted by a second anode line drive circuit.

**SOLUTION:** A current source (transistors Q1 to Qm) is provided in anode line drive circuits 21 and 22 to generate a light emitting driving current. Moreover, a driving current control circuit CC, which maintains the light emitting driving current at an amount of current corresponding to an inputted control current, is provided. Furthermore, a control current output circuit CO is provided to output a light emitting driving current itself as a control current. At the time of driving anode lines of a display panel by plural anode line drive circuits 21 and 22 constructed in individual IC chips, the first anode line driving circuit 21 controls the amount of light emitting driving current to be outputted based on the actually outputted light emitting drive current by a second anode line drive circuit 22.



### LEGAL STATUS

[Date of request for examination] 19.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**THIS PAGE BLANK (USPTO)**

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-42827

(P2001-42827A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl.<sup>7</sup>  
G 0 9 G 3/30  
G 0 9 F 9/30  
G 0 9 G 3/20  
6 2 3  
6 4 2

識別記号

F I  
G 0 9 G 3/30  
G 0 9 F 9/30  
G 0 9 G 3/20

テマコード(参考)  
K 5 C 0 8 0  
3 6 5 Z 5 C 0 9 4  
6 1 1 H  
6 2 3 A  
6 4 2 B

審査請求 未請求 請求項の数15 OL (全13頁)

(21)出願番号 特願平11-219782

(22)出願日 平成11年8月3日(1999.8.3)

(71)出願人 000005016  
バイオニア株式会社  
東京都目黒区目黒1丁目4番1号  
(72)発明者 石塚 真一  
埼玉県鶴ヶ島市富士見6丁目1番1号 パ  
イオニア株式会社総合研究所内  
(72)発明者 土田 正美  
埼玉県鶴ヶ島市富士見6丁目1番1号 パ  
イオニア株式会社総合研究所内  
(74)代理人 100079119  
弁理士 藤村 元彦

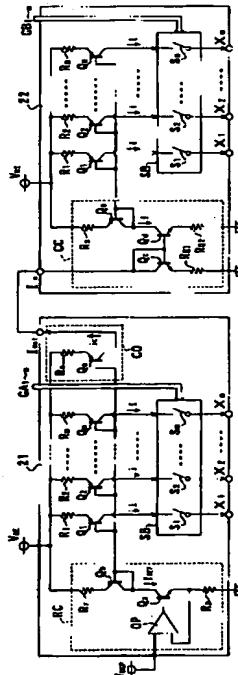
最終頁に続く

(54)【発明の名称】ディスプレイ装置及びディスプレイパネルの駆動回路

(57)【要約】

【課題】陽極線ドライブ回路を複数のICチップで構築した際にもディスプレイパネル上の発光輝度を均一にすることが出来るディスプレイ装置及びディスプレイパネルの駆動回路を提供することを目的とする。

【解決手段】各々が、ディスプレイパネルの発光素子を発光させる発光駆動電流を発生して、このディスプレイパネルの第1電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、これら駆動回路の内の少なくとも1には、他の駆動回路が発生した発光駆動電流に基づいて、この駆動回路が発生すべき発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられている。



**THIS PAGE BLANK (USPTO)**

1

## 【特許請求の範囲】

【請求項 1】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であつて、前記駆動部は、各々が前記発光素子を発光させる発光駆動電流を発生して前記第1電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、複数の前記駆動回路の内の少なくとも1には、他の前記駆動回路が発生した前記発光駆動電流に基づいて前記1の前記駆動回路が発生すべき前記発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられていることを特徴とするディスプレイ装置。

【請求項 2】 複数の前記駆動回路の内の1には、該駆動回路が発生すべき前記発光駆動電流の電流量を所定の基準電流に維持させるべく制御する基準電流制御回路が設けられていることを特徴とする請求項1記載のディスプレイ装置。

【請求項 3】 前記発光駆動電流源の各々と、前記駆動電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項1記載のディスプレイ装置。

【請求項 4】 前記発光駆動電流源の各々と、前記基準電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項2記載のディスプレイ装置。

【請求項 5】 前記第2電極線の各々に順次アース電位を印加して行くと共に前記アース電位の印加されていない他の前記第2電極線の全てに所定の高電位を印加する走査回路を備えたことを特徴とする請求項1記載のディスプレイ装置。

【請求項 6】 前記発光素子の各々は、有機エレクトロルミネッセンス素子であることを特徴とする請求項1記載のディスプレイ装置。

【請求項 7】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルを発光駆動せしめる駆動回路であつて、前記発光素子を発光させる発光駆動電流を発生してこれを前記第1電極線各々の内的一部分の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路と、からなることを特徴とする駆動回路。

【請求項 8】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であつて、

2

前記駆動部は、各々が、前記発光素子を発光させる発光駆動電流を発生してこれを前記第1電極線各々の内的一部分の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路とを有する複数の駆動回路からなり、

前記駆動回路各々の前記駆動電流制御回路は、他の前記駆動回路が出力した前記駆動電流を前記入力制御電流とすることを特徴とするディスプレイ装置。

【請求項 9】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを駆動する駆動回路と、を備えたディスプレイ装置であつて、前記駆動回路は、前記発光素子を発光させる電流を発生してこれを第1発光駆動電流として前記第1電極線各々の内的一部分の電極群に供給する第1駆動回路と、前記発光素子を発光させる電流を発生してこれを第2発光駆動電流として前記第1電極線各々の内的一部分の電極群に供給する第2駆動回路とを有し、

前記第2駆動回路は、前記第1発光駆動電流に基づいて前記第2発光駆動電流の電流量を調整することを特徴とするディスプレイ装置。

【請求項 10】 前記第1駆動回路は、前記第1電極群に供給すべき前記第1発光駆動電流の各々を発生する複数の第1発光駆動電流源と、前記第1発光駆動電流を所定の基準電流に維持させるべく制御する基準電流制御回路と、前記第1発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路と、からなり、

前記第2駆動回路は、前記第2電極群に供給すべき前記第2発光駆動電流の各々を発生する複数の第2発光駆動電流源と、前記制御電流に基づいて前記第2発光駆動電流の電流量を調整する駆動電流制御回路と、からなることを特徴とする請求項9記載のディスプレイ装置。

【請求項 11】 前記第1発光駆動電流源の各々と、前記基準電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項10記載のディスプレイ装置。

【請求項 12】 前記第2発光駆動電流源の各々と、前記駆動電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項10記載のディスプレイ装置。

【請求項 13】 前記第2電極線の各々に順次アース電位を印加して行くと共に前記アース電位の印加されていない他の前記第2電極線の全てに所定の高電位を印加する走査回路を備えたことを特徴とする請求項9記載のディスプレイ装置。

【請求項 14】 前記発光素子の各々は、有機エレクトロルミネッセンス素子であることを特徴とする請求項9記載のディスプレイ装置。

**THIS PAGE BLANK (USPTO)**

【請求項15】 前記第1駆動回路及び前記第2駆動回路の各々は、互いに異なる2つのICチップ内に夫々構築されることを特徴とする請求項9記載のディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、有機エレクトロルミネセンス素子等の自発光素子からなるディスプレイパネルを用いたディスプレイ装置、及びその駆動回路に関する。

【0002】

【従来の技術】薄型で低消費電力なディスプレイ装置を実現する為の自発光素子として、有機エレクトロルミネッセンス(以下、ELと称する)素子が知られている。図1は、かかるEL素子の概略構成を示す図である。図1に示されるように、EL素子は、透明電極101が形成されたガラス板等からなる透明基板100上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも1層の有機機能層102、及び金属電極103が積層されたものである。

【0003】図2は、かかるEL素子の特性を電気的に示す等価回路である。図2に示されるように、EL素子は、容量成分Cと、該容量成分に並列に結合するダイオード特性の成分Eによって置き換えることができる。ここで、透明電極101の陽極にプラス、金属電極103の陰極にマイナスの電圧を加えて透明電極及び金属電極間に直流を印加すると、容量成分Cに電荷が蓄積される。この際、EL素子固有の障壁電圧または発光閾値電圧を越えると、電極(ダイオード成分Eの陽極側)から発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で有機機能層102が発光する。

【0004】図3は、複数の上記EL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。図3において、ELディスプレイパネルとしてのELDP10には、第1表示ライン～第n表示ライン各々を担う陰極線(金属電極)B<sub>1</sub>～B<sub>n</sub>と、これら陰極線B<sub>1</sub>～B<sub>n</sub>各々に交叉して配列されたm個の陽極線(透明電極)A<sub>1</sub>～A<sub>m</sub>が形成されている。これら陰極線B<sub>1</sub>～B<sub>n</sub>及び陽極線A<sub>1</sub>～A<sub>m</sub>の交差部分の各々に、上述した如き構造を有するEL素子E<sub>11</sub>～E<sub>nm</sub>が形成されている。尚、これらEL素子E<sub>11</sub>～E<sub>nm</sub>各々は、ELDP10としての1画素を担うものである。

【0005】発光制御回路1は、入力された1画面分(n行、m列)の画像データを、ELDP10の各画素、すなわち上記EL素子E<sub>11</sub>～E<sub>nm</sub>の各々に対応した画素データ群D<sub>11</sub>～D<sub>nm</sub>に変換し、これらを図4に示されるが如く、1行分毎に順次、陽極線ドライブ回路2に供給して行く。例えば、画素データD<sub>11</sub>～D<sub>1m</sub>とは、ELDP10の第1表示ラインに属するEL素子E<sub>11</sub>～E<sub>1m</sub>各々

々に対して発光を実施させるか否かを指定するm個のデータビットであり、夫々、論理レベル"1"である場合には"発光"、論理レベル"0"である場合には"非発光"を示す。

【0006】又、発光制御回路1は、図4に示されるが如き1行分毎の画素データの供給タイミングに同期して、ELDP10の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路3に供給する。陽極線ドライブ回路2は、先ず、上記10画素データ群におけるm個のデータビットの内から、"発光"を指定する論理レベル"1"のデータビットを全て抽出する。次に、この抽出したデータビット各々に対応した"列"に属する陽極線を陽極線A<sub>1</sub>～A<sub>m</sub>の内から全て選択し、この選択した陽極線のみに定電流源を接続し、所定の画素駆動電流iを供給する。

【0007】陰極線走査回路3は、上記陰極線B<sub>1</sub>～B<sub>n</sub>の内から、上記走査線選択制御信号で示される表示ラインに対応した陰極線を逐一的に選択してこの陰極線をアース電位に設定すると共に、その他の陰極線の各々に所定の高電位V<sub>CC</sub>を夫々印加する。尚、かかる高電位V<sub>CC</sub>は、EL素子が所望の輝度で発光しているときの両端電圧(寄生容量Cへの充電量に基づいて決定する電圧)とほぼ同一値に設定される。

【0008】この際、上記陽極線ドライブ回路2によって上記定電流源が接続された"列"と、上記陰極線走査回路3にてアース電位に設定された表示ラインとの間には発光駆動電流が流れ、かかる表示ライン及び"列"に交叉して形成されているEL素子は、この発光駆動電流に応じて発光する。一方、上記陰極線走査回路3によって高電位V<sub>CC</sub>に設定された表示ラインと、上記定電流源が接続された"列"との間には電流が流れ込まないので、かかる表示ライン及び"列"に交叉して形成されているEL素子は非発光のままである。

【0009】以上の如き動作が、画素データ群D<sub>11</sub>～D<sub>1m</sub>、D<sub>21</sub>～D<sub>2m</sub>、…、D<sub>n1</sub>～D<sub>nm</sub>各々に基づいて実施されると、ELDP10の画面上には、入力された画像データに応じた1フィールド分の発光パターン、つまり画像が表示されるのである。ここで、近年、ディスプレイパネルの大画面化を実現するにあたり、表示ライン、40つまり上記陰極線Bの本数を増加すると共に、陽極線Aの本数を増加して画面の高精細化を行う必要が生じてきた。従って、これら陽極線A及び陰極線B各々の本数の増加につれ、陽極線ドライブ回路2及び陰極線走査回路3各々の回路規模も増大するので、両者をIC化するにあたり、チップ面積の増大に伴う歩留まりの悪化が懸念される。そこで、これら陽極線ドライブ回路2及び陰極線走査回路3各々を、夫々複数のICチップで構築することが考えられた。

【0010】ところが、陽極線ドライブ回路2を複数のICチップで構築すると、製造上のバラツキ等により、50

**THIS PAGE BLANK (USPTO)**

各ICチップ間で、上記陽極線に供給すべき発光駆動電流の電流量が異なってしまう場合がある。よって、かかる発光駆動電流の違いによりELDP10'の画面上には互いに輝度の異なる領域ができてしまうという問題があった。

#### 【0011】

【発明が解決しようとする課題】本発明は、かかる問題を解決せんとして為されたものであり、陽極線ドライブ回路を複数のICチップで構築した際にも、ディスプレイパネル上での発光輝度を均一にすることが出来るディスプレイ装置及びディスプレイパネルの駆動回路を提供することである。

#### 【0012】

【課題を解決するための手段】本発明によるディスプレイ装置は、複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であって、前記駆動部は、各々が前記発光素子を発光させる発光駆動電流を発生して前記第1電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、複数の前記駆動回路の内の少なくとも1には、他の前記駆動回路が発生した前記発光駆動電流に基づいて前記1の前記駆動回路が発生すべき前記発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられている。

【0013】又、本発明によるディスプレイパネルの駆動回路は、複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルを発光駆動せしめる駆動回路であって、前記発光素子を発光させる発光駆動電流を発生してこれを前記第1電極線各々の内の一一部の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路とかなる。

#### 【0014】

【発明の実施の形態】以下、本発明の実施例を図面を参考しつつ詳細に説明する。図5は、本発明によるELディスプレイ装置の概略構成を示す図である。図5において、ELディスプレイパネルとしてのELDP10'には、第1表示ライン～第n表示ライン各々を担う陰極線(金属電極)B<sub>1</sub>～B<sub>n</sub>と、これら陰極線B<sub>1</sub>～B<sub>n</sub>各々に交叉して配列された2m個の陽極線(透明電極)A<sub>1</sub>～A<sub>2m</sub>が形成されている。これら陰極線B<sub>1</sub>～B<sub>n</sub>及び陽極線A<sub>1</sub>～A<sub>2m</sub>各々の交叉部に、図1に示されるが如き構造を有するEL素子E<sub>1,1</sub>～E<sub>n,2m</sub>が形成されている。尚、これらEL素子E<sub>1,1</sub>～E<sub>n,2m</sub>各々は、ELDP10'としての1画素を担うものである。

【0015】発光制御回路1'は、図6に示されるように、上記ELDP10'の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路30に供給する。陰極線走査回路30は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記ELDP10'の陰極線B<sub>1</sub>～B<sub>n</sub>の内から逐一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位V<sub>CC</sub>を夫々印加する。

【0016】又、発光制御回路1'は、入力された1画面分(n行、2m列)の画像データをELDP10'の各画素、すなわち上記EL素子E<sub>1,1</sub>～E<sub>n,2m</sub>各々に対応した画素データD<sub>1,1</sub>～D<sub>n,2m</sub>に変換し、これを第1列～第m列に属するものと、第m+1列～第2m列に属するものとに分割する。この際、上記第1列～第m列に属する画素データを1表示ライン毎にグループ化した画素データD<sub>1,1</sub>～D<sub>1,m</sub>、D<sub>2,1</sub>～D<sub>2,m</sub>、D<sub>3,1</sub>～D<sub>3,m</sub>、…及びD<sub>n,1</sub>～D<sub>n,m</sub>各々を、図6に示されるが如き第1駆動データG A<sub>1-m</sub>として、順次、第1陽極線ドライブ回路21に供給する。これと同時に、発光制御回路1'は、上記第m+1列～第2m列に属する画素データを1表示ライン毎にグループ化した画素データD<sub>1,m+1</sub>～D<sub>1,2m</sub>、D<sub>2,m+1</sub>～D<sub>2,2m</sub>、D<sub>3,m+1</sub>～D<sub>3,2m</sub>、…及びD<sub>n,m+1</sub>～D<sub>n,2m</sub>各々を、図6に示されるが如き第2駆動データG B<sub>1-m</sub>として、順次、第2陽極線ドライブ回路22に供給する。尚、これら第1駆動データG A<sub>1-m</sub>及び第2駆動データG B<sub>1-m</sub>の各々は、図6に示されるように、上記走査線選択制御信号に同期して順次、第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々に供給される。この際、上記第1駆動データ群G A<sub>1-m</sub>とは、ELDP10'の各表示ラインの第1列～第m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。又、上記第2駆動データ群G B<sub>1-m</sub>とは、ELDP10'の各表示ラインの第m+1列～第2m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。例えば、かかるデータビットが論理レベル"1"である場合には発光を実施させる一方、"0"である場合には発光を実施させない。

【0017】図7は、本発明による駆動回路としての上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22各々の内部構成を示す図である。尚、上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々は、互いに異なる2つのICチップ内に夫々構築される。図7において、第1陽極線ドライブ回路21は、基準電流制御回路R C、制御電流出力回路C O、スイッチブロックS B、並びに、m個の電流駆動源としてのトランジスタQ<sub>1</sub>～Q<sub>m</sub>及び抵抗R<sub>1</sub>～R<sub>m</sub>から構成される。

【0018】基準電流制御回路R Cにおけるトランジ

**THIS PAGE BLANK (USPTO)**

タ $Q_b$ のエミッタには抵抗 $R_0$ を介して所定電圧 $V_{BE}$ が接続されており、そのベース及びコレクタにはトランジスタ $Q_a$ のコレクタが接続されている。演算増幅器OPには所定の基準電位 $V_{REF}$ と、トランジスタ $Q_a$ のエミッタ電位が入力されており、その出力電位は、トランジスタ $Q_a$ のベースに入力される。トランジスタ $Q_a$ のエミッタは、抵抗 $R_p$ を介してアース電位に接地されている。以上の如き構成により、トランジスタ $Q_a$ のコレクターエミッタ間には基準電流 $I_{REF}$ (= $V_{REF}/R_p$ )が流れることになる。

【0019】トランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 $V_{BE}$ が印加されており、更に、夫々のベースには上記トランジスタ $Q_b$ のベースが接続されている。この際、上記抵抗 $R_r$ 、及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 $Q_a$ 及び $Q_b$ の各々は、互いに同一特性を有するものである。よって、上記基準電流制御回路RCと、トランジスタ $Q_1 \sim Q_m$ とは電流ミラー回路を構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッタ・コレクタ間には、上記基準電流 $I_{REF}$ と同一の電流値を有する発光駆動電流 $i$ が流れ、これが出力されることになる。

【0020】スイッチブロックSBには、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 $i$ を夫々、出力端 $X_1 \sim X_m$ の各々に導出する $m$ 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第1陽極線ドライブ回路21のスイッチブロックSBでは、上記発光制御回路1'から供給された第1駆動データ $G A_1 \sim G A_m$ 各々の論理レベルに応じて、上記スイッチング素子 $S_1 \sim S_m$ 各々が独立してオン／オフ制御される。例えば、第1駆動データ $G A_1$ が論理レベル"0"のときには、スイッチング素子 $S_1$ はオフ状態となる一方、かかる第1駆動データ $G A_1$ が論理レベル"1"のときには、オン状態となってトランジスタ $Q_1$ から供給された発光駆動電流 $i$ を出力端 $X_1$ に導出する。又、第1駆動データ $G A_m$ が論理レベル"0"のときには、スイッチング素子 $S_m$ はオフ状態となる一方、論理レベル"1"である場合にはオン状態となってトランジスタ $Q_m$ から供給された発光駆動電流 $i$ を出力端 $X_m$ に導出する。このように、上記トランジスタ $Q_1 \sim Q_m$ の各々から出力された発光駆動電流 $i$ は、出力端 $X_1 \sim X_m$ の各々を介して、図5に示されるが如く、ELDP10'の陽極線 $A_1 \sim A_m$ の各々に供給される。

【0021】制御電流出力回路COにおけるトランジスタ $Q_o$ のエミッタには抵抗 $R_o$ を介して画素駆動電位 $V_{BE}$ が印加されており、そのベースには上記基準電流制御回路RCにおけるトランジスタ $Q_b$ のベースが接続されている。この際、上記抵抗 $R_o$ の抵抗値は、基準電流制御回路RCにおける抵抗 $R_r$ と同一であり、更に、トランジスタ $Q_o$ は、基準電流制御回路RCにおけるトランジ

スタ $Q_a$ 及び $Q_b$ 各々と同一特性を有するものである。よって、制御電流出力回路COにおけるトランジスタ $Q_o$ と、上記基準電流制御回路RCとは電流ミラー回路を形成することになり、上記トランジスタ $Q_o$ のエミッタ・コレクタ間には、上記基準電流 $I_{REF}$ と同一電流量の電流が流れる。制御電流出力回路COは、かかる電流を制御電流 $i_c$ とし、これを出力端 $I_{out}$ を介して第2陽極線ドライブ回路22の入力端 $I_{in}$ に供給する。つまり、第1陽極線ドライブ回路21がELDP10'の陽極線 $A_1 \sim A_m$ の各々に供給する発光駆動電流 $i$ と同一の電流が、制御電流 $i_c$ として第2陽極線ドライブ回路22に供給されるのである。

【0022】第2陽極線ドライブ回路22は、駆動電流制御回路CC、スイッチブロックSB、並びに、 $m$ 個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。駆動電流制御回路CCにおけるトランジスタ $Q_c$ のコレクタ及びベースは、上記入力端 $I_{in}$ に接続されており、そのエミッタは抵抗 $R_{Q1}$ を介してアース電位に接地されている。よって、上記第1陽極線ドライブ回路21から出力された制御電流 $i_c$ は、その入力端 $I_{in}$ を介してトランジスタ $Q_c$ のコレクタ・エミッタ間に流れ、又、駆動電流制御回路CCにおけるトランジスタ $Q_e$ のエミッタには抵抗 $R_s$ を介して画素駆動電位 $V_{BE}$ が印加されており、そのベース及びコレクタにはトランジスタ $Q_d$ のコレクタが接続されている。かかるトランジスタ $Q_d$ のベースは上記トランジスタ $Q_c$ のコレクタ及びベースに夫々接続されており、そのエミッタは上記抵抗 $R_{Q2}$ を介してアース電位に接地されている。この際、第1陽極線ドライブ回路21のトランジスタ $Q_o$ と、上記トランジスタ $Q_c$ 、 $Q_d$ 、及び $Q_e$ の各々とは同一特性のトランジスタであり、更に、第1陽極線ドライブ回路21における抵抗 $R_o$ と上記抵抗 $R_s$ とは同一抵抗値である。よって、上記第1陽極線ドライブ回路21から供給された制御電流 $i_c$ と同一の電流が上記トランジスタ $Q_d$ のコレクタ・エミッタ間に流れ。

【0023】又、第2陽極線ドライブ回路22におけるトランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 $V_{BE}$ が印加されており、更に、夫々のベースには上記トランジスタ $Q_e$ のベースが接続されている。この際、上記抵抗 $R_s$ 及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 $Q_d$ 及び $Q_e$ の各々は、互いに同一特性を有するものである。よって、上記駆動電流制御回路CCと、トランジスタ $Q_1 \sim Q_m$ とは電流ミラー回路を構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッタ・コレクタ間には、上記第1陽極線ドライブ回路21から供給された制御電流 $i_c$ と同一の電流量を有する発光駆動電流 $i$ が流れ、これが夫々出力される。すなわち、上記駆動電流制御回路CCにより、第2陽極線ドライブ回路22のトランジスタ $Q_1 \sim Q_m$ 各々から出力される発光駆動

**THIS PAGE BLANK (USPTO)**

電流  $i$  は、第 1 陽極線ドライブ回路 21 が output した発光駆動電流と同一の電流量となるように調整されるのである。

【0024】スイッチブロックSBには、上記トランジスタQ<sub>1</sub>～Q<sub>m</sub>各々から出力された発光駆動電流iを夫々、出力端X<sub>1</sub>～X<sub>m</sub>の各々に導出するm個のスイッチング素子S<sub>1</sub>～S<sub>m</sub>が設けられている。この際、第2陽極線ドライブ回路22のスイッチブロックSBでは、上記発光制御回路1'から供給された第2駆動データG B<sub>1</sub>～G B<sub>m</sub>各々の論理レベルに応じて、上記スイッチング素子S<sub>1</sub>～S<sub>m</sub>各々が独立してオン／オフ制御される。例えば、第2駆動データG B<sub>1</sub>が論理レベル"0"のときは、スイッチング素子S<sub>1</sub>はオフ状態となる一方、かかる第2駆動データG B<sub>1</sub>が論理レベル"1"のときには、オン状態となってトランジスタQ<sub>1</sub>から供給された発光駆動電流iを出力端X<sub>1</sub>に導出する。又、第2駆動データG B<sub>m</sub>が論理レベル"0"のときには、スイッチング素子S<sub>m</sub>はオフ状態となる一方、論理レベル"1"である場合にはオン状態となってトランジスタQ<sub>m</sub>から供給された発光駆動電流iを出力端X<sub>m</sub>に導出する。このように、第2陽極線ドライブ回路22のトランジスタQ<sub>1</sub>～Q<sub>m</sub>各々から出力された発光駆動電流iは、出力端X<sub>1</sub>～X<sub>m</sub>の各々を介して、図5に示されるように、ELDP10'の陽極線A<sub>m+1</sub>～A<sub>2m</sub>の各々に供給される。

【0025】以上の如く、本発明においては、陽極線ドライブ回路内に、発光駆動電流を発生させる為の電流源(トランジスタQ<sub>1</sub>～Q<sub>m</sub>)の他に、この発光駆動電流を、入力された制御電流に応じた電流量に維持する駆動電流制御回路C Cと、かかる発光駆動電流自体を制御電流として出力する制御電流出力回路COとを設ける構成としている。ここで、ディスプレイパネルの陽極線を、各個別のICチップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第1の陽極線ドライブ回路は、第2の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいて、その出力すべき発光駆動電流の電流量を制御する。よって、例え各ICチップ(陽極線ドライブ回路としての)間に特性のバラツキがあるても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになるのである。

【0026】尚、上記実施例においては、ELDP10'の陽極線A<sub>1</sub>～A<sub>2m</sub>を、2つの陽極線ドライブ回路(第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22)で駆動するようしているが、3つ以上の複数の陽極線ドライブ回路で駆動することも可能である。図8は、かかる点に鑑みて為された本発明によるELD

【0027】図8において、ELディスプレイパネルとしてのELDP10'には、第1表示ライン～第n表示ライン各々を担う陰極線(金属電極)B1～Bnと、これら

陰極線 $B_1 \sim B_n$ 各々に交叉して配列された3m個の陽極線(透明電極) $A_1 \sim A_{3m}$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_{3m}$ 各々の交叉部に、図1に示されるが如き構造を有するEL素子 $E_{1,1} \sim E_{n,3m}$ が形成されている。尚、これらEL素子 $E_{1,1} \sim E_{n,3m}$ 各々は、ELDP10''としての1画素を担うものである。

【0028】発光制御回路1''は、図9に示されるように、上記ELDP10'の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路30に供給する。陰極線走査回路30は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記ELDP10'の陰極線B<sub>1</sub>～B<sub>n</sub>の内から逐一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位V<sub>CC</sub>を夫々印加する。

【0029】又、発光制御回路1'は、入力された1画面分(n行、3m列)の画像データをELDP10'の各画素、すなわち上記EL素子E<sub>1,1</sub>～E<sub>n,3m</sub>各々に対応した画素データD<sub>1,1</sub>～D<sub>n,3m</sub>に変換し、これを第1列

20 ~第m列に属するものと、第m+1列~第2m列に属するものと、第2m+1列~第3m列に属するものとに分割する。この際、上記第1列~第m列に属する画素データを1表示ライン毎にグループ化した画素データD<sub>1,1</sub>~D<sub>1,m</sub>、D<sub>2,1</sub>~D<sub>2,m</sub>、D<sub>3,1</sub>~D<sub>3,m</sub>、…、及びD<sub>n,1</sub>~D<sub>n,m</sub>各々を、図9に示されるが如き第1駆動データG<sub>A1-m</sub>として、順次、陽極線ドライブ回路201に供給する。更に、発光制御回路1'は、上記第m+1列~第2m列に属する画素データを1表示ライン毎にグループ化した画素データD<sub>1,m+1</sub>~D<sub>1,2m</sub>、D<sub>2,m+1</sub>~D<sub>2,2m</sub>、D<sub>3,m+1</sub>~D<sub>3,2m</sub>、…、及びD<sub>n,m+1</sub>~D<sub>n,2m</sub>各々を、図9に示されるが如き第2駆動データG<sub>B1-m</sub>として、順次、陽極線ドライブ回路202に供給する。更に、発光制御回路1'は、上記第2m+1列~第3m列に属する画素データを1表示ライン毎にグループ化した画素データD<sub>1,2m+1</sub>~D<sub>1,3m</sub>、D<sub>2,2m+1</sub>~D<sub>2,3m</sub>、D<sub>3,2m+1</sub>~D<sub>3,3m</sub>、…、及びD<sub>n,2m+1</sub>~D<sub>n,3m</sub>各々を、図9に示されるが如き第3駆動データG<sub>C1-m</sub>として、順次、陽極線ドライブ回路203に供給する。尚、これら第1駆動データG<sub>A1-m</sub>、第2駆動データG<sub>B1-m</sub>及び  
40 第3駆動データG<sub>C1-m</sub>の各々は、図9に示されるが如

40 第1駆動データ群G<sub>1-m</sub>の各々には、図3に示されるが如く、上記走査線選択制御信号に同期して順次、各陽極線ドライブ回路201～203の各々に供給される。この際、上記第1駆動データ群G<sub>A 1-m</sub>とは、ELDP10''の各表示ラインの第1列～第m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。又、上記第2駆動データ群G<sub>B 1-m</sub>とは、ELDP10''の各表示ラインの第m+1列～第2m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。更に、上記第3駆動データ群G<sub>C 1-m</sub>

**THIS PAGE BLANK (USPTO)**

$C_{1-m}$ とは、ELDP10''の各表示ラインの第2m+1列～第3m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。例えば、かかるデータビットが論理レベル“1”である場合には発光を実施させる一方、“0”である場合には発光を実施させない。

【0030】基準電流発生回路200は、陽極線ドライブ回路201～203の各々が、ELDP10''の陽極線 $A_1 \sim A_{3m}$ の各々に供給すべき発光駆動電流の基準となる基準電流 $I_{REF}$ を発生し、これを陽極線ドライブ回路201の入力端 $I_{in}$ に供給する。図10は、かかる基準電流発生回路200の内部構成を示す図である。

【0031】図10に示されるように、基準電流発生回路200は、図7に示される第1陽極線ドライブ回路21に含まれる基準電流制御回路RCと、制御電流出力回路COとから構成される。すなわち、これら基準電流制御回路RC及び制御電流出力回路COからなる電流ミラー回路により、基準電位 $V_{REF}$ と抵抗 $R_p$ とにに基づいて決定する基準電流 $I_{REF}$ を発生し、これを陽極線ドライブ回路201の入力端 $I_{in}$ に供給するのである。

【0032】ここで、上記陽極線ドライブ回路201～203の各々は互いに同一の内部構成を有するものであり、その内部構成を図11に示す。図11に示されるように、陽極線ドライブ回路201～203の各々は、駆動電流制御回路CC、制御電流出力回路CO、スイッチブロックSB、並びに、m個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。

【0033】尚、駆動電流制御回路CCは、図7の第2陽極線ドライバ回路22に搭載されているものと同一であり、上記制御電流出力回路COは、図7の第1陽極線ドライバ回路21に搭載されているものと同一である。更に、上記スイッチブロックSB、トランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ からなる構成も、図7に示されるものと同一である。

【0034】要するに、図11に示されるが如き陽極線ドライブ回路は、その入力端 $I_{in}$ を介して供給された電流に応じた一定の電流を発光駆動電流 $i$ として発生すると共に、この発生した発光駆動電流 $i$ と同一電流量の電流を制御電流 $i_c$ として出力端 $I_{out}$ から出力するのである。従って、陽極線ドライブ回路201は、その入力端 $I_{in}$ を介して供給された上記基準電流 $I_{REF}$ と同一電流量を有するm個の発光駆動電流 $i$ を発生し、これらを上記第1駆動データ $G A_{1-m}$ に応じてELDP10''の陽極線 $A_1 \sim A_m$ の各々に供給する。更に、陽極線ドライブ回路201は、この発光駆動電流 $i$ と同一電流量を有する制御電流 $i_c$ を発生し、これを制御電流 $i_{c1}$ として出力端 $I_{out}$ を介して陽極線ドライブ回路202の入力端 $I_{in}$ に供給する。陽極線ドライブ回路202は、その入力端 $I_{in}$ から供給された上記制御電流 $i_{c1}$ と同一電流量を有するm個の発光駆動電流 $i$ を発生し、これらを上記

第2駆動データ $G B_{1-m}$ に応じてELDP10''の陽極線 $A_{m+1} \sim A_{2m}$ の各々に供給する。更に、陽極線ドライブ回路202は、かかる発光駆動電流 $i$ と同一電流量を有する制御電流 $i_c$ を発生し、これを制御電流 $i_{c2}$ として出力端 $I_{out}$ を介して、陽極線ドライブ回路203の入力端 $I_{in}$ に供給する。陽極線ドライブ回路203は、その入力端 $I_{in}$ から供給された上記制御電流 $i_{c2}$ と同一電流量を有するm個の発光駆動電流 $i$ を発生し、これらを上記第3駆動データ $G C_{1-m}$ に応じてELDP10''の陽極線 $A_{2m+1} \sim A_{3m}$ の各々に供給するのである。

【0035】尚、上記実施例においては、発光駆動電流源であるトランジスタ $Q_1 \sim Q_m$ として、バイポーラ型のトランジスタを用いて説明したが、MOS(Metal Oxide Semiconductor)トランジスタで実現するようにしても良い。

#### 【0036】

【発明の効果】以上の如く、本発明においては、ディスプレイパネルの陽極線を夫々個別のICチップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第1の陽極線ドライブ回路は、第2の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいてその出力すべき発光駆動電流の電流量を制御するようにしている。

【0037】よって、例え各ICチップ(陽極線ドライブ回路としての)間に特性のバラツキがあっても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになる。

#### 【図面の簡単な説明】

【図1】有機エレクトロルミネセンス素子の断面図である。

【図2】有機エレクトロルミネセンス素子の等価回路を示す図である。

【図3】ELディスプレイ装置の概略構成を示す図である。

【図4】発光制御回路1による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図5】本発明によるELディスプレイ装置の概略構成を示す図である。

【図6】発光制御回路1'による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図7】本発明による駆動回路としての第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の内部構成を示す図である。

【図8】本発明の他の実施例によるELディスプレイ装置の概略構成を示す図である。

【図9】発光制御回路1''による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図10】基準電流発生回路200の内部構成を示す図である。

**THIS PAGE BLANK (USPTO)**

【図1】本発明の他の実施例による陽極線ドライブ回路201～203各々の内部構成を示す図である。

## 【符号の説明】

1', 1'' 発光制御回路

10', 10'' E L D P

21 第1陽極線ドライブ回路

22 第2陽極線ドライブ回路

200 基準電流発生回路

201～203 陽極線ドライブ回路

A<sub>1</sub>～A<sub>m</sub> 陽極線

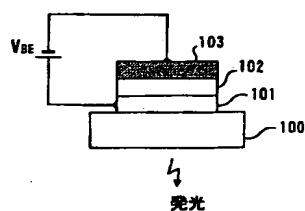
CC 駆動電流制御回路

CO 制御電流出力回路

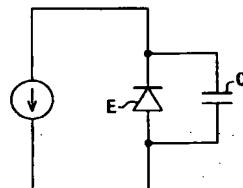
Q<sub>1</sub>～Q<sub>m</sub> ワンジスタ

RC 基準電流制御回路

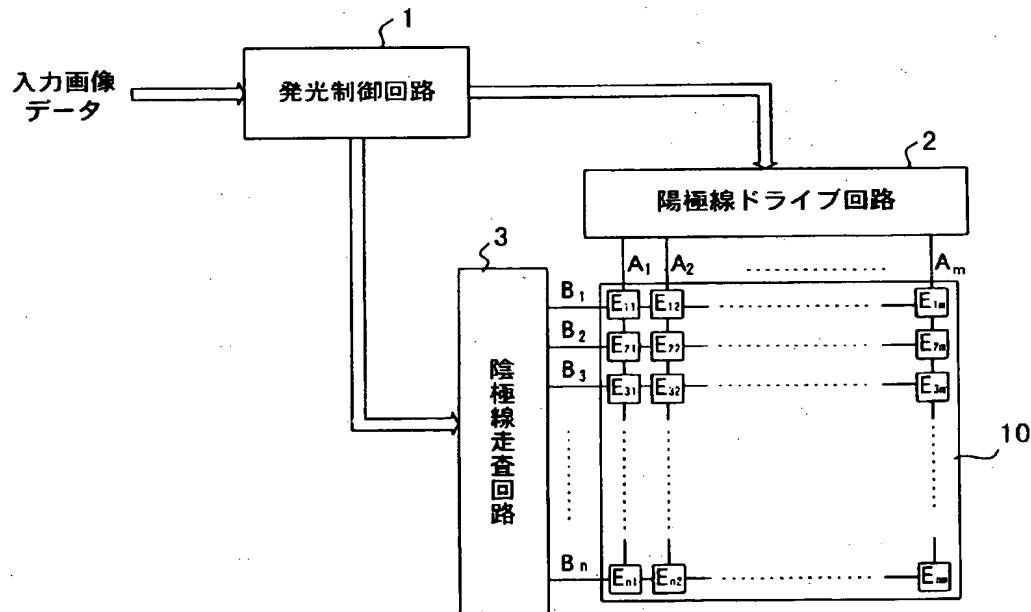
【図1】



【図2】

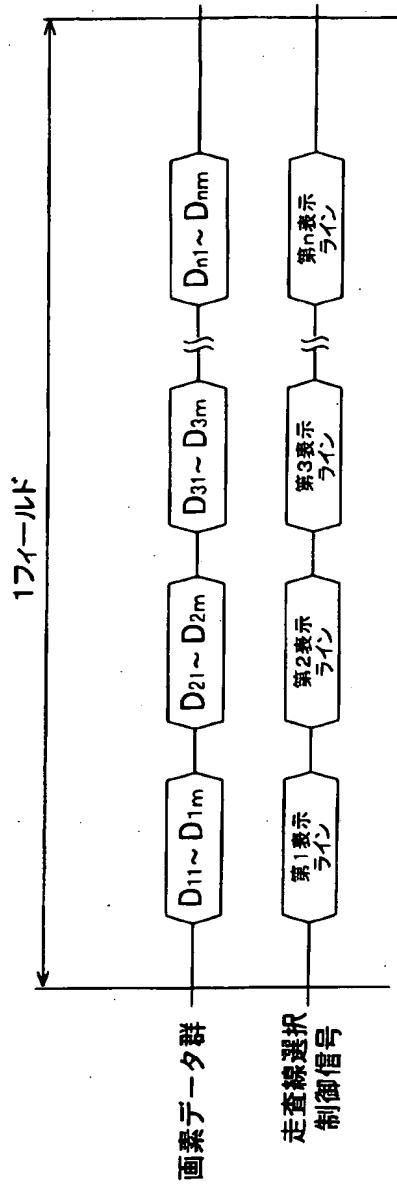


【図3】

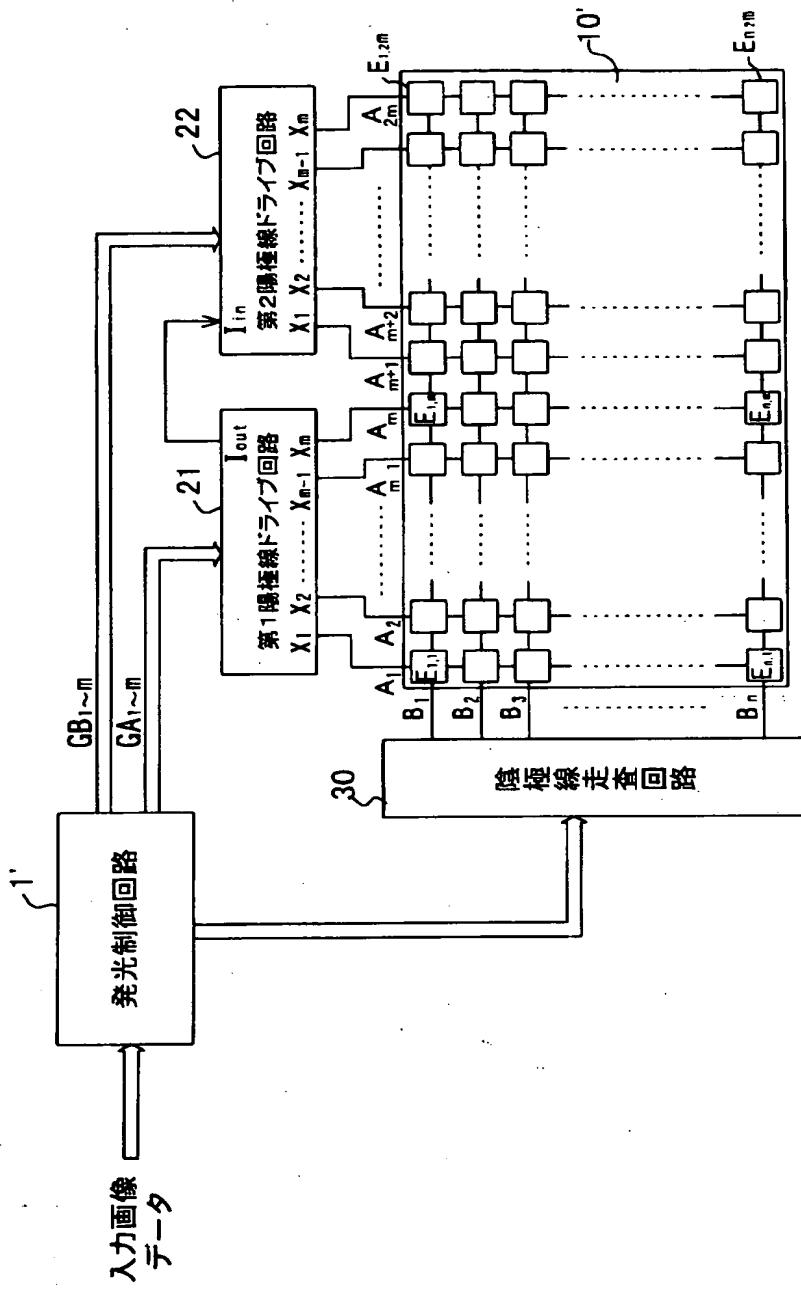


**THIS PAGE BLANK (USPTO)**

【図4】

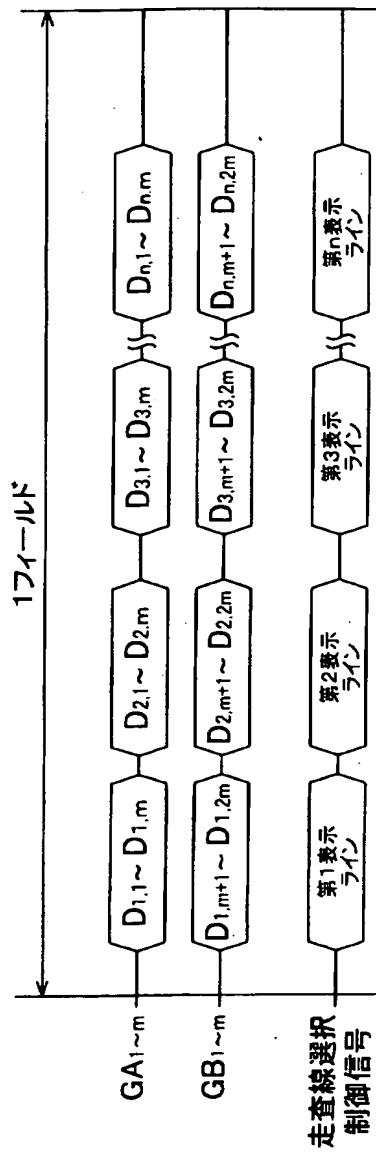


【図5】

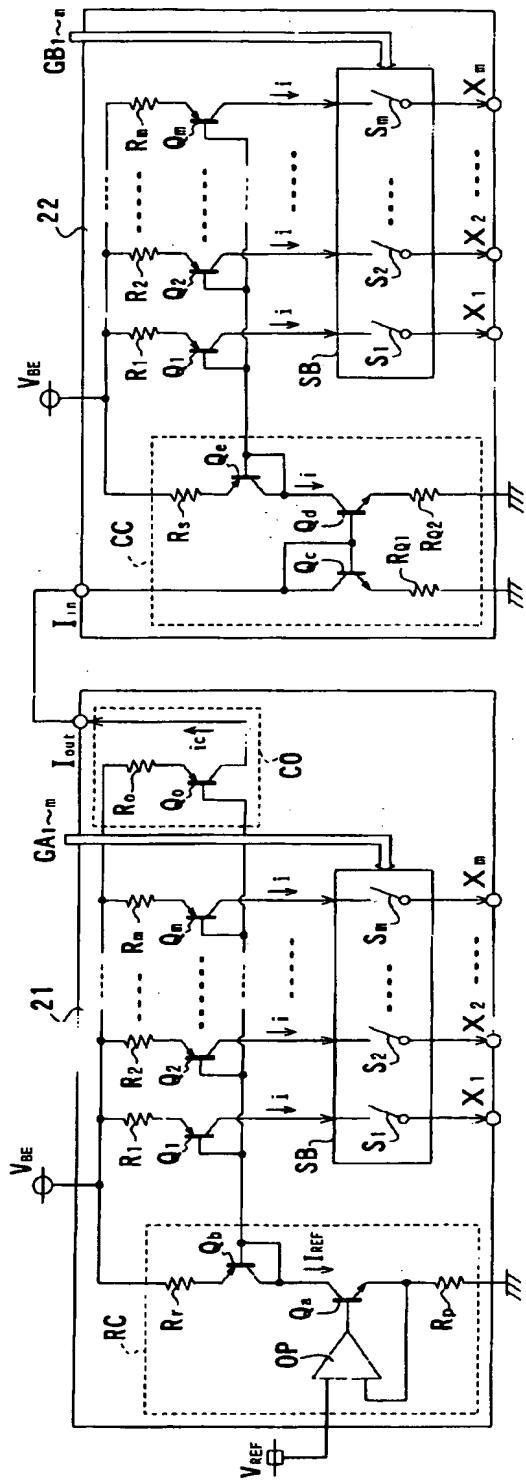


**THIS PAGE BLANK (USPTO)**

【図6】

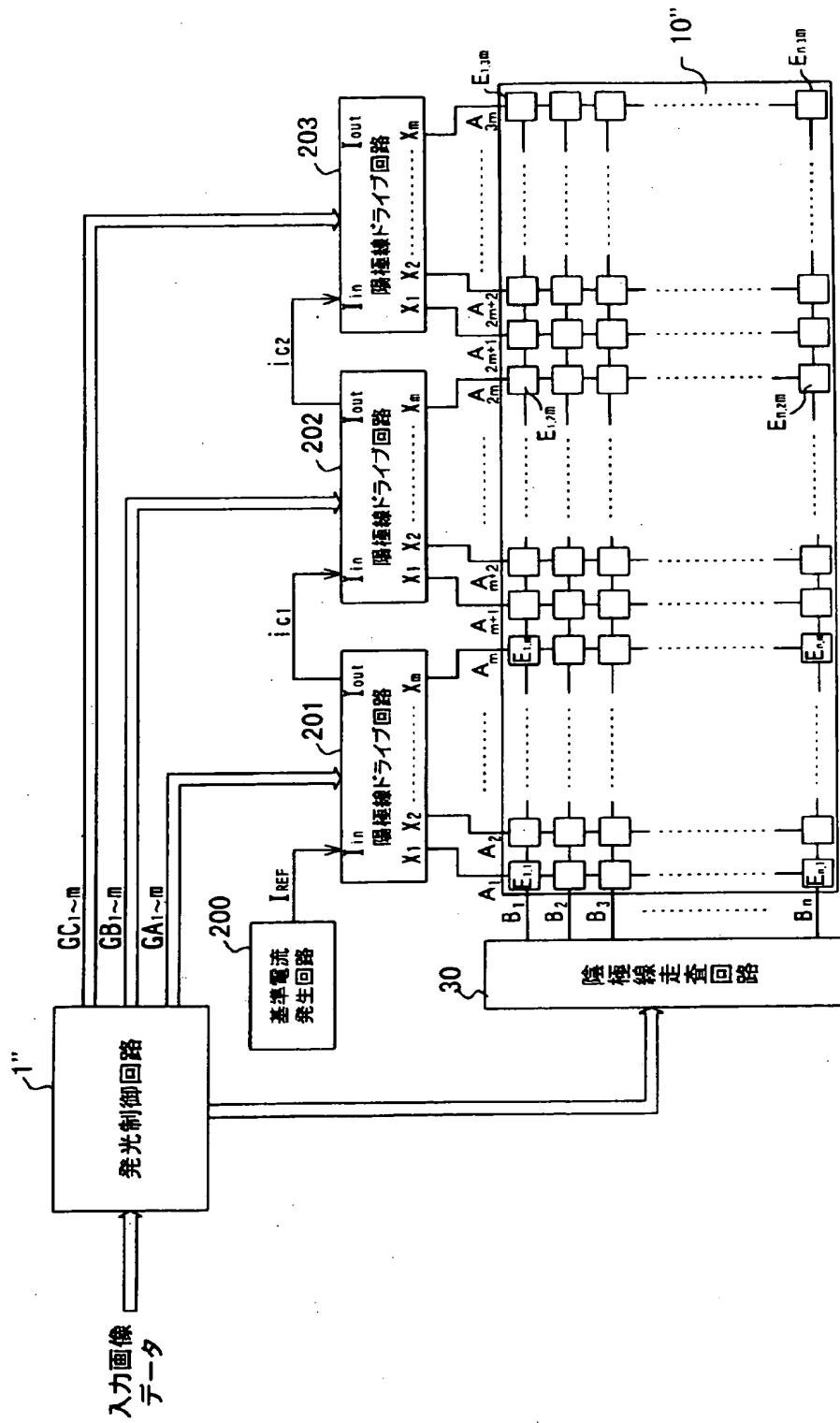


【図7】



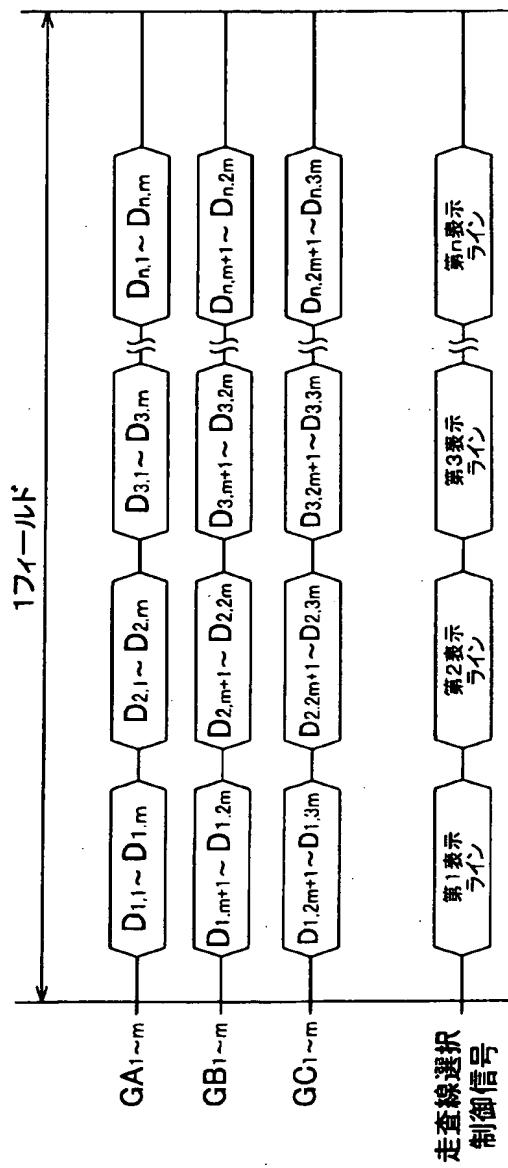
**THIS PAGE BLANK (USPTO)**

【図8】



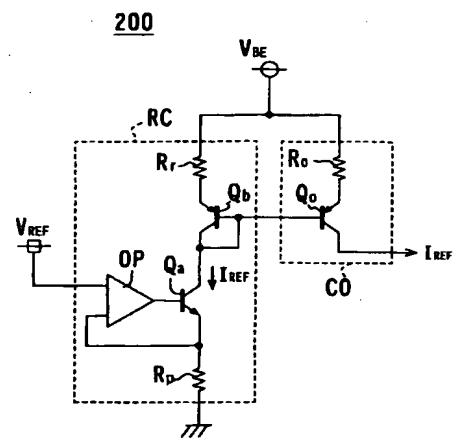
**THIS PAGE BLANK (USPTO)**

【図9】

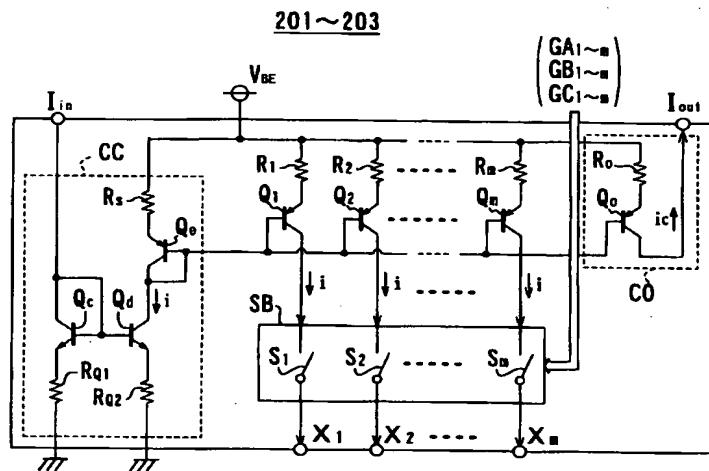


**THIS PAGE BLANK (USPTO)**

【図10】



【図11】




---

フロントページの続き

(72)発明者 坂本 強  
埼玉県鶴ヶ島市富士見6丁目1番1号 パ  
イオニア株式会社総合研究所内

(72)発明者 越智 英夫  
埼玉県鶴ヶ島市富士見6丁目1番1号 パ  
イオニア株式会社総合研究所内

Fターム(参考) 5C080 AA06 BB05 CC01 DD03 DD05  
DD28 EE28 FF10 FF12 JJ02  
JJ03 JJ04 JJ06  
5C094 AA03 AA07 AA53 AA55 BA29  
CA19 DB01 DB02 EA04 EA05  
GA10

**THIS PAGE BLANK (USPTO)**

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS**

[Claim(s)]

[Claim 1] The display panel which comes to form the light emitting device which bears 1 pixel in each decussation section with two or more 2nd electrode lines arranged by intersecting two or more 1st electrode lines and said 1st electrode lines of each, It is the becoming display unit. the mechanical component which carries out the luminescence drive of said display panel -- since -- said mechanical component It consists of two or more drive circuits which have two or more luminescence drive current sources which each generates the luminescence drive current which makes said light emitting device emit light, and supplies to said 1st electrode line. The display unit characterized by preparing the drive current control circuit which adjusts the amount of currents of said luminescence drive current which said said drive circuit of 1 should generate based on said luminescence drive current which said other drive circuits generated to at least 1 of said two or more drive circuits.

[Claim 2] The display unit according to claim 1 characterized by establishing the reference current control circuit controlled in order to make predetermined reference current maintain the amount of currents of said luminescence drive current which this drive circuit should generate in one of said two or more drive circuits.

[Claim 3] The display unit according to claim 1 characterized by each and said drive current control circuit of said luminescence drive current source forming current Miller circuit.

[Claim 4] The display unit according to claim 2 characterized by each and said reference current control circuit of said luminescence drive current source forming current Miller circuit.

[Claim 5] The display unit according to claim 1 characterized by having the scanning circuit which impresses predetermined high potential to said all 2nd electrode lines of the others to which said ground potential is not impressed while impressing sequential ground potential to each of said 2nd electrode line and going.

[Claim 6] Each of said light emitting device is a display unit according to claim 1 characterized by being an organic electroluminescent element.

[Claim 7] It is the drive circuit which carries out the luminescence drive of the display panel which comes to form the light emitting device which bears 1 pixel in each decussation section with two or more 2nd electrode lines arranged by intersecting two or more 1st electrode lines and said 1st electrode lines of each. with the luminescence drive current source which generates the luminescence drive current which makes said light emitting device emit light, and supplies this to some electrode groups of said each 1st electrode line the drive current control circuit which adjusts the amount of currents of said luminescence drive current based on an input-control-current, and the control current output circuit which generates the control current of the amount of the same currents as said luminescence drive current, and outputs this -- since -- the drive circuit characterized by becoming.

[Claim 8] The display panel which comes to form the light emitting device which bears 1 pixel in each decussation section with two or more 2nd electrode lines arranged by intersecting two or more 1st electrode lines and said 1st electrode lines of each, It is the becoming display unit. the mechanical component which carries out the luminescence drive of said display panel -- since -- said mechanical

component with the luminescence drive current source by which each generates the luminescence drive current which makes said light emitting device emit light, and supplies this to some electrode groups of said each 1st electrode line. The drive current control circuit which adjusts the amount of currents of said luminescence drive current based on an input-control current. It consists of two or more drive circuits which have the control current output circuit which generates the control current of the amount of the same currents as said luminescence drive current, and outputs this. said said drive current control circuit of each drive circuit. The display unit characterized by making into said input-control current said control current which said other drive circuits outputted.

[Claim 9] The display panel which comes to form the light emitting device which bears 1 pixel in each decussation section with two or more 2nd electrode lines arranged by intersecting two or more 1st electrode lines and said 1st electrode lines of each. It is the display unit equipped with the drive circuit which drives said display panel. Said drive circuit with the 1st drive circuit which generates the current which makes said light emitting device emit light, and is supplied to the 1st electrode group of said each 1st electrode line by making this into the 1st shot photic-driving current. It has the 2nd drive circuit which generates the current which makes said light emitting device emit light, and is supplied to the 2nd electrode group of said each 1st electrode line by making this into the 2nd shot photic-driving current. said 2nd drive circuit. The display unit characterized by adjusting the amount of currents of said 2nd shot photic-driving current based on said 1st shot photic-driving current.

[Claim 10] Two or more 1st shot photic-driving current sources which generate each of said 1st shot photic-driving current which should supply said 1st drive circuit to said 1st electrode group. The reference current control circuit controlled in order to make predetermined reference current maintain said 1st shot photic-driving current, the control current output circuit which generates the control current of the amount of the same currents as said 1st shot photic-driving current, and outputs this -- since -- said 2nd drive circuit two or more 2nd shot photic-driving current sources which generate each of said 2nd shot photic-driving current which should be supplied to said 2nd electrode group, and the drive current control circuit which adjusts the amount of currents of said 2nd shot photic-driving current based on said control current -- since -- the display unit according to claim 9 characterized by becoming.

[Claim 11] The display unit according to claim 10 characterized by each and said reference current control circuit of said 1st shot photic-driving current source forming current Miller circuit.

[Claim 12] The display unit according to claim 10 characterized by each and said drive current control circuit of said 2nd shot photic-driving current source forming current Miller circuit.

[Claim 13] The display unit according to claim 9 characterized by having the scanning circuit which impresses predetermined high potential to said all 2nd electrode lines of the others to which said ground potential is not impressed while impressing sequential ground potential to each of said 2nd electrode line and going.

[Claim 14] Each of said light emitting device is a display unit according to claim 9 characterized by being an organic electroluminescent element.

[Claim 15] Each of said 1st drive circuit and said 2nd drive circuit is a display unit according to claim 9 characterized by being built in two mutually different IC chips, respectively.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the display unit using the display panel which consists of spontaneous light corpuscle children, such as an organic electroluminescence element, and its drive circuit.

[0002]

[Description of the Prior Art] As a spontaneous light corpuscle child for realizing a low power display unit with a thin shape, the organic electroluminescence (EL is called hereafter) component is known. Drawing 1 is drawing showing the outline configuration of this EL element. As shown in drawing 1, the laminating of the organic stratum functionale 102 of at least one layer which consists of an electronic transportation layer, a luminous layer, an electron hole transportation layer, etc. on the transparency substrate 100 with which an EL element consists of a glass plate with which the transparent electrode 101 was formed, and the metal electrode 103 is carried out.

[0003] Drawing 2 is an equal circuit which shows the property of this EL element electrically. As shown in drawing 2, an EL element can be transposed to the capacity component C and this capacity component by the component E of the diode characteristics combined with juxtaposition. If the electrical potential difference of minus is applied to the anode plate of a transparent electrode 101 in the cathode of plus and a metal electrode 103 and a direct current is impressed between a transparent electrode and a metal electrode here, a charge will be accumulated in the capacity component C. Under the present circumstances, if the barrier voltage or luminescence threshold voltage of an EL element proper is exceeded, a current will begin to flow to the organic stratum functionale which bears a luminous layer from an electrode (anode plate side of the diode component E), and the organic stratum functionale 102 will emit light by the reinforcement proportional to this current.

[0004] Drawing 3 is drawing showing the outline configuration of the EL display equipment which performs image display using EL display panel which comes to arrange two or more above-mentioned EL elements in the shape of a matrix. In drawing 3, the cathode rays (metal electrode) B1-Bn which bear 1st display Rhine - n-th display Rhine of each, and m anode rays (transparent electrode) A1-Am arranged by intersecting these cathode rays B1 - Bn(s) of each are formed in ELDP10 as an EL display panel. EL elements E11-Enm which have the \*\*\* structure mentioned above are formed in each for an intersection of these cathode rays B1-Bn and anode rays A1-Am. In addition, these EL elements E11 - Enm(s) of each bear 1 pixel as ELDP10.

[0005] The luminescence control circuit 1 changes the image data for one inputted screen (n lines, m train) into the pixel data constellations D11-Dnm corresponding to each pixel of ELDP10, i.e., each of above-mentioned EL elements E11-Enm, and as these are shown in drawing 4, it supplies and goes to the anode-rays drive circuit 2 one by one for every one line. For example, the pixel data D11 - D1m are m data bits which specify whether light is made to emit to EL element [ belonging to 1st display Rhine of ELDP10 ] E11 - E1m of each, and when it is logical level "1", in being "luminescence" "logical level" 0", it shows "un-emitting light", respectively.

[0006] Moreover, although the luminescence control circuit 1 is shown in drawing 4, it supplies the scanning-line selection-control signal which should scan 1st display Rhine of ELDP10 - n-th display Rhine of each sequentially to the cathode-rays scanning circuit 3 synchronizing with the supply timing of the pixel data for a part for every \*\*\*\* of one line. anode rays -- a drive -- a circuit -- two -- first -- the above -- a pixel -- a data constellation -- it can set -- m -- a piece -- a data bit -- inside -- from -- " -- luminescence -- " -- specifying -- logical level -- " -- one -- " -- a data bit -- all -- extracting . Next, the anode rays belonging to the "train" corresponding to these extracted data bits of each are altogether chosen from among anode rays A1-Am, a constant current source is connected only to these selected anode rays, and the predetermined pixel drive current i is supplied.

[0007] The cathode-rays scanning circuit 3 impresses the predetermined high potential VCC to each of other cathode rays, respectively while it chooses alternatively the cathode rays corresponding to display Rhine shown by the above-mentioned scanning-line selection-control signal and sets these cathode rays as ground potential from among the above-mentioned cathode rays B1-Bn. In addition, this high potential VCC is mostly set as the same value with a both-ends electrical potential difference (electrical potential difference determined based on the charge to parasitic capacitance C) when the EL element is emitting light by desired brightness.

[0008] Under the present circumstances, the EL element currently formed of the above-mentioned anode-rays drive circuit 2 by a luminescence drive current's flowing between the "train" to which the above-mentioned constant current source was connected, and display Rhine set as ground potential in the above-mentioned cathode-rays scanning circuit 3, and intersecting this display Rhine and a "train" emits light according to this luminescence drive current. On the other hand, since a current does not flow in between the "trains" in which the above-mentioned constant current source was connected with display Rhine set as the high potential VCC by the above-mentioned cathode-rays scanning circuit 3, the EL element currently formed by intersecting this display Rhine and a "train" is still un-emitting light.

[0009] If actuation like \*\*\*\* is carried out based on pixel data constellation D11 - D1m, D21-D2m, ...., Dn1-Dnm(s) of each, on the screen of ELDP10, the luminescence pattern for the 1 field according to the inputted image data, i.e., an image, will be displayed. Here, while increasing the number of display Rhine B, i.e., the above-mentioned cathode rays, in realizing big screen-ization of a display panel in recent years, the number of anode rays A will be increased and highly minute-ization of a screen needs to be performed. therefore, these anode rays A and cathode rays B -- the increment in each number -- taking -- the anode-rays drive circuit 2 and the cathode-rays scanning circuit 3 -- in IC-izing both, since each circuit scale also increases, we are anxious about aggravation of the yield accompanying increase of a chip area. Then, it was possible to build these anode-rays drive circuit 2 and cathode-rays scanning circuit 3 each with two or more IC chips, respectively.

[0010] However, if the anode-rays drive circuit 2 is built with two or more IC chips, the amount of currents of the luminescence drive current which should be supplied to the above-mentioned anode rays may change between each IC chip with variations on manufacture etc. Therefore, there was a problem that the field where brightness changes mutually on the screen of ELDP10 with differences in this luminescence drive current will be made.

[0011] [Problem(s) to be Solved by the Invention] Also when this invention tends to solve this problem, and it succeeds in it and it builds an anode-rays drive circuit with two or more IC chips, it is offering the drive circuit of the display unit and display panel which can make the luminescence brightness on a display panel homogeneity.

[0012] [Means for Solving the Problem] The display panel which comes to form the light emitting device which bears 1 pixel in each decussation section with two or more 2nd electrode lines arranged by the display unit by this invention intersecting two or more 1st electrode lines and said 1st electrode lines of each, It is the becoming display unit. the mechanical component which carries out the luminescence drive of said display panel -- since -- said mechanical component It consists of two or more drive circuits which have two or more luminescence drive current sources which each generates the luminescence drive

current which makes said light emitting device emit light, and supplies to said 1st electrode line. The drive current control circuit which adjusts the amount of currents of said luminescence drive current which said said drive circuit of 1 should generate based on said luminescence drive current which said other drive circuits generated is established in at least 1 of said two or more drive circuits.

[0013] Moreover, the drive circuit of the display panel by this invention It is the drive circuit which carries out the luminescence drive of the display panel which comes to form the light emitting device which bears 1 pixel in each decussation section with two or more 2nd electrode lines arranged by intersecting two or more 1st electrode lines and said 1st electrode lines of each. with the luminescence drive current source which generates the luminescence drive current which makes said light emitting device emit light, and supplies this to some electrode groups of said each 1st electrode line It consists of a drive current control circuit which adjusts the amount of currents of said luminescence drive current based on an input-control current, and a control current output circuit which generates the control current of the amount of the same currents as said luminescence drive current, and outputs this.

[0014]

[Embodiment of the Invention] Hereafter, the example of this invention is explained to a detail, referring to a drawing. Drawing 5 is drawing showing the outline configuration of the EL display equipment by this invention. In drawing 5 , 2m piece anode-rays (transparent electrode) A1-A2m arranged by intersecting the cathode rays (metal electrode) B1-Bn which bear 1st display Rhine - n-th display Rhine of each, these cathode rays B1 - Bn(s) of each is formed in ELDP10' as an EL display panel. these cathode rays B1-Bn and anode rays A1-A -- 2m, although shown in drawing 1 , EL element E1 which has \*\*\*\* structure, 1-En, and 2m are formed in each decussation section. In addition, these EL elements E1, 1-En, and 2m of each bear 1 pixel as ELDP10'.

[0015] Luminescence control circuit 1' supplies the scanning-line selection-control signal which should scan 1st display Rhine of above-mentioned ELDP10' - n-th display Rhine of each sequentially to the cathode-rays scanning circuit 30, as shown in drawing 6 . The cathode-rays scanning circuit 30 impresses the predetermined high potential VCC to the other cathode rays of each, respectively while it chooses alternatively [ from ] among the cathode rays B1-Bn of above-mentioned ELDP10' the cathode rays corresponding to display Rhine shown by the above-mentioned scanning-line selection-control signal and grounds this to ground potential.

[0016] Moreover, luminescence control circuit 1' changes the image data for one inputted screen (n lines, 2m train) into each pixel E1 of ELDP10', i.e., the above-mentioned EL element, 1-En, the pixel data D1 corresponding to 2m of each, 1-Dn, and 2m, and divides this into the thing belonging to the 1st train - the m-th train, and the thing belonging to the m+1st trains - the 2nd m train. Under the present circumstances, the pixel data D1 which carried out grouping of the pixel data belonging to the 1st train of the above - the m-th train for every 1 display Rhine, 1-D1, m, D 2 and 1 - D2, m and D3, 1-D3, m, .... and Dn1-Dn, and m of each are supplied to the 1st anode-rays drive circuit 21 one by one as 1st drive data GAof \*\*\*\*1-m, although shown in drawing 6 . The pixel data D1, m+1 - D 1 and 2m which carried out grouping of the pixel data with which it can come, simultaneously luminescence control circuit 1' belongs to the m+1st trains of the above - the 2nd m train for every 1 display Rhine, D2, m+1 - D 2 and 2m, D3, m+1 - D 3 and 2m, .... and Dn, m+1-Dn, and 2m of each are supplied to the 2nd anode-rays drive circuit 22 one by one as 2nd drive data GBof \*\*\*\*1-m, although shown in drawing 6 . In addition, each of these 1st drive data GA1-m and 2nd drive data GB1-m is supplied to each of the 1st anode-rays drive circuit 21 and the 2nd anode-rays drive circuit 22 one by one synchronizing with the above-mentioned scanning-line selection-control signal, as shown in drawing 6 . Under the present circumstances, the above-mentioned 1st drive data constellation GA1-m is m data bits which specify whether light is made to emit to each of m EL elements belonging to the 1st train of each display Rhine of ELDP10' - the m-th train of each. Moreover, the above-mentioned 2nd drive data constellation GB1-m is m data bits which specify whether light is made to emit to each of m EL elements belonging to the m+1st trains of each display Rhine of ELDP10' - the 2nd m trains of each. For example, when it is "0", light is not made to emit, while making light emit, when this data bit is logical level "1."

[0017] the above-mentioned 1st anode-rays drive circuit 21 as a drive circuit according [ drawing 7 ] to

this invention, and the 2nd anode-rays drive circuit 22 -- it is drawing showing each internal configuration. In addition, each of the above-mentioned 1st anode-rays drive circuit 21 and the 2nd anode-rays drive circuit 22 is built in two mutually different IC chips, respectively. In drawing 7, the 1st anode-rays drive circuit 21 is constituted from transistors Q1-Qm as m current driving sources, and resistance R1-Rm by the reference current control circuit RC, the control current output circuit CO, a switch block SB, and the list.

[0018] The predetermined electrical potential difference VBE is connected to the emitter of the transistor Qb in the reference current control circuit RC through resistance R0, and the collector of Transistor Qa is connected to the base and collector. The predetermined reference potential VREF and the emitter potential of Transistor Qa are inputted into the operational amplifier OP, and the output potential is inputted into the base of Transistor Qa. The emitter of Transistor Qa is grounded by ground potential through Resistance RP. By the configuration like \*\*\*\*\*, reference current IREF (= VREF/RP) will flow between the collector emitters of Transistor Qa.

[0019] Transistors Q1-Qm -- the pixel drive potential VBE is impressed to each emitter through resistance R1 - Rm(s) of each, and the base of the above-mentioned transistor Qb is further connected to each base. under the present circumstances, the above-mentioned resistance Rr, and R1-Rm -- each resistance is the same and the above-mentioned transistors Q1-Qm and each of Qa and Qb have the same property mutually further. therefore, the above-mentioned reference current control circuit RC and Transistors Q1-Qm constitute current Miller circuit -- \*\*\*\*\* -- Transistors Q1-Qm -- between each emitter collectors, the luminescence drive current i which has the same current value as the above-mentioned reference current IREF will flow, and this will be outputted.

[0020] m switching elements S1-Sm which derive the luminescence drive current i outputted from the above-mentioned transistor Q1 - Qm(s) of each to each of outgoing ends X1-Xm, respectively are formed in the switch block SB. under the present circumstances, the 1st drive data GA1-GAm supplied from above-mentioned luminescence control circuit 1' in the switch block SB of the 1st anode-rays drive circuit 21 -- according to each logical level, the above-mentioned switching element S1 - Sm of each are turned on/off controlled independently For example, when the 1st drive data GA1 are logical level "0", while a switching element S1 will be in an OFF state, when these 1st drive data GA1 are logical level "1", the luminescence drive current i which would be in the ON state and was supplied from the transistor Q1 is derived to an outgoing end X1. Moreover, when the 1st drive data GAm are logical level "0", while switching element Sm will be in an OFF state, when it is logical level "1", it derives the luminescence drive current i which would be in the ON state and was supplied from Transistor Qm to an outgoing end Xm. Thus, through each of outgoing ends X1-Xm, the luminescence drive current i outputted from each of the above-mentioned transistors Q1-Qm is supplied to each of the anode rays A1-Am of ELDP10', as it is shown in drawing 5.

[0021] The pixel drive potential VBE is impressed to the emitter of the transistor Qo in the control current output circuit CO through Resistance Ro, and the base of the transistor Qb in the above-mentioned reference current control circuit RC is connected to the base. Under the present circumstances, it has the property as the transistor Qa in the reference current control circuit RC, and Qb (s) with each that the resistance of the above-mentioned resistance Ro is the same as that of the resistance Rr in the reference current control circuit RC, and Transistor Qo is still the more nearly same. Therefore, the transistor Qo in the control current output circuit CO and the above-mentioned reference current control circuit RC will form current Miller circuit, and the current of the amount of the same currents as the above-mentioned reference current IREF flows between the emitter collectors of the above-mentioned transistor Qo. The control current output circuit CO makes this current the control current ic, and supplies this to the input edge Iin of the 2nd anode-rays drive circuit 22 through an outgoing end Iout. That is, the same current as the luminescence drive current i which the 1st anode-rays drive circuit 21 supplies to each of the anode rays A1-Am of ELDP10' is supplied to the 2nd anode-rays drive circuit 22 as the control current ic.

[0022] The 2nd anode-rays drive circuit 22 is constituted from transistors Q1-Qm as m current driving sources, and resistance R1-Rm by the drive current control circuit CC, a switch block SB, and the list.

The collector and the base of Transistor Qc in the drive current control circuit CC are connected to the above-mentioned input edge  $I_{in}$ , and the emitter is grounded by ground potential through resistance RQ 1. Therefore, the outputted control current  $i_c$  flows between the collector emitters of Transistor Qc through the input edge  $I_{in}$  from the above-mentioned 1st anode-rays drive circuit 21. Moreover, the pixel drive potential VBE is impressed to the emitter of the transistor Qe in the drive current control circuit CC through Resistance Rs, and the collector of Transistor Qd is connected to the base and collector. The base of this transistor Qd is connected to the collector and the base of the above-mentioned transistor Qc, respectively, and the emitter is grounded by ground potential through the above-mentioned resistance RQ 2. Under the present circumstances, the transistor Qo of the 1st anode-rays drive circuit 21 and each of the above-mentioned transistors Qc, Qd, and Qe are the transistors of the same property, and Resistance Ro and the above-mentioned resistance Rs in the 1st anode-rays drive circuit 21 are the same resistance further. Therefore, the same current as the control current  $i_c$  supplied from the above-mentioned 1st anode-rays drive circuit 21 flows between the collector emitters of the above-mentioned transistor Qd.

[0023] moreover, the transistors Q1-Qm in the 2nd anode-rays drive circuit 22 -- the pixel drive potential VBE is impressed to each emitter through resistance R1 - Rm(s) of each, and the base of the above-mentioned transistor Qe is further connected to each base. under the present circumstances, the above-mentioned resistance Rs, and R1-Rm -- each resistance is the same and the above-mentioned transistors Q1-Qm and each of Qd and Qe have the same property mutually further. therefore, the above-mentioned drive current control circuit CC and Transistors Q1-Qm constitute current Miller circuit -- \*\*\*\*\* -- Transistors Q1-Qm -- between each emitter collectors, the luminescence drive current  $i$  which has the same amount of currents as the control current  $i_c$  supplied from the above-mentioned 1st anode-rays drive circuit 21 flows, and this is outputted, respectively. That is, the luminescence drive current  $i$  outputted by the above-mentioned drive current control circuit CC from the transistor Q1 of the 2nd anode-rays drive circuit 22 - Qm(s).of each is adjusted so that it may become the same amount of currents as the luminescence drive current which the 1st anode-rays drive circuit 21 outputted.

[0024] m switching elements S1-Sm which derive the luminescence drive current  $i$  outputted from the above-mentioned transistor Q1 - Qm(s) of each to each of outgoing ends X1-Xm, respectively are formed in the switch block SB. under the present circumstances, the 2nd drive data GB1-GBm supplied from above-mentioned luminescence control circuit 1' in the switch block SB of the 2nd anode-rays drive circuit 22 -- according to each logical level, the above-mentioned switching element S1 - Sm of each are turned on/off controlled independently For example, when the 2nd drive data GB1 are logical level "0", while a switching element S1 will be in an OFF state, when these 2nd drive data GB1 </SUB> are logical level "1", the luminescence drive current  $i$  which would be in the ON state and was supplied from the transistor Q1 is derived to an outgoing end X1. Moreover, when the 2nd drive data GBm are logical level "0", while switching element Sm will be in an OFF state, when it is logical level "1", it derives the luminescence drive current  $i$  which would be in the ON state and was supplied from Transistor Qm to an outgoing end Xm. Thus, through each of outgoing ends X1-Xm, the luminescence drive current  $i$  outputted from the transistor Q1 of the 2nd anode-rays drive circuit 22 - Qm(s) of each is supplied to anode-rays Am+1-A2m each of ELDP10', as shown in drawing 5.

[0025] Like the above, it is considering as the configuration which forms the drive current control circuit CC which maintains this luminescence drive current other than the current source (transistors Q1-Qm) for generating a luminescence drive current in an anode-rays drive circuit in the amount of currents according to the control current into which it was inputted, and the control current output circuit CO which outputs this luminescence drive current itself as the control current in this invention. Here, in two or more anode-rays drive circuits built in IC chip according to individual, respectively sharing the anode rays of a display panel, and driving, the 1st anode-rays drive circuit controls the amount of currents of the luminescence drive current which should be outputted based on the luminescence drive current which the 2nd anode-rays drive circuit actually outputted. therefore, the amount of currents of the luminescence drive current outputted from each even if the variation in a property is between metaphor each IC chip (as an anode-rays drive circuit) -- abbreviation -- since it becomes the same, uniform

luminescence brightness comes to be obtained on a display panel.

[0026] In addition, in the above-mentioned example, although he is trying to drive anode-rays A1-A2m of ELDP10' in two anode-rays drive circuits (the 1st anode-rays drive circuit 21 and the 2nd anode-rays drive circuit 22), it is also possible to drive in two or more three or more anode-rays drive circuits.

Drawing 8 is drawing showing other examples of a configuration of the EL display equipment by this invention in which it succeeded in view of this point.

[0027] In drawing 8, the cathode rays (metal electrode) B1-Bn which bear 1st display Rhine - n-th display Rhine of each, the 3m piece anode rays (transparent electrode) A1 arranged by intersecting these cathode rays B1 - Bn(s) of each - A3m are formed in ELDP10" as an EL display panel. these cathode-rays B1-Bn and anode-rays A1-A3m -- although shown in drawing 1, EL element E1 which has \*\*\*\* structure, 1-En, and 3m are formed in each decussation section. In addition, these EL elements E1, 1-En, and 3m of each bear 1 pixel as ELDP10".

[0028] Luminescence control circuit 1" supplies the scanning-line selection-control signal which should scan 1st display Rhine of above-mentioned ELDP10' - n-th display Rhine of each sequentially to the cathode-rays scanning circuit 30, as shown in drawing 9. The cathode-rays scanning circuit 30 impresses the predetermined high potential VCC to the other cathode rays of each, respectively while it chooses alternatively [ from ] among the cathode rays B1-Bn of above-mentioned ELDP10" the cathode rays corresponding to display Rhine shown by the above-mentioned scanning-line selection-control signal and grounds this to ground potential.

[0029] Luminescence control circuit 1" the image data for one inputted screen (n lines, 3m train) Moreover, each pixel of ELDP10", That is, it changes into above-mentioned EL element E1, 1-En, the pixel data D1 corresponding to 3m of each, 1-Dn, and 3m, and this is divided into the thing belonging to the 1st train - the m-th train, the thing belonging to the m+1st trains - the 2nd m train, and the thing belonging to 2nd m+1 train - the 3rd m train. Under the present circumstances, the pixel data 1 and D1 which carried out grouping of the pixel data belonging to the 1st train of the above - the m-th train for every 1 display Rhine - D1, m and D2 and 1 - D2, m and D3, 1-D3, m, .... and Dn1-Dn, and m of each are supplied to the anode-rays drive circuit 201 one by one as 1st drive data GAof \*\*\*\*1-m, although shown in drawing 9. Furthermore, the pixel data D1, m+1 - D 1 and 2m which carried out grouping of the pixel data with which luminescence control circuit 1" belongs to the m+1st trains of the above - the 2nd m train for every 1 display Rhine, D2, m+1 - D 2 and 2m, D3, m+1 - D 3 and 2m, .... and Dn, m+1-Dn, and 2m of each are supplied to the anode-rays drive circuit 202 one by one as 2nd drive data GBof \*\*\*\*1-m, although shown in drawing 9. Furthermore, the pixel data D1, 2m+1 - D 1 and 3m which carried out grouping of the pixel data with which luminescence control circuit 1" belongs to the 2nd m+1 above-mentioned train - the 3rd m train for every 1 display Rhine, D2, 2m+1 - D 2 and 3m, D3, 2m+1 - D 3 and 3m, .... and Dn, 2m+1-Dn, and 3m of each are supplied to the anode-rays drive circuit 203 one by one as 3rd drive data GCof \*\*\*\*1-m, although shown in drawing 9. In addition, each of these 1st drive data GA1-m, 2nd drive data GB1-m, and 3rd drive data GC1-m is supplied to each of each anode-rays drive circuits 201-203 one by one synchronizing with the above-mentioned scanning-line selection-control signal, as it is shown in drawing 9. Under the present circumstances, the above-mentioned 1st drive data constellation GA1-m is m data bits which specify whether light is made to emit to each of m EL elements belonging to the 1st train of each display Rhine of ELDP10" - the m-th train of each. Moreover, the above-mentioned 2nd drive data constellation GB1-m is m data bits which specify whether light is made to emit to each of m EL elements belonging to the m+1st trains of each display Rhine of ELDP10" - the 2nd m trains of each. Furthermore, the above-mentioned 3rd drive data constellation GC1-m is m data bits which specify whether light is made to emit to each of m EL elements belonging to 2nd m+1 train of each display Rhine of ELDP10" - the 3rd m trains of each. For example, when it is "0", light is not made to emit, while making light emit, when this data bit is logical level "1."

[0030] The reference current generating circuit 200 generates the reference current IREF from which each of the anode-rays drive circuits 201-203 serves as criteria of the luminescence drive current which should be supplied to each of the anode rays A1 of ELDP10" - A3m, and supplies this to the input edge

Iin of the anode-rays drive circuit 201. Drawing 10 is drawing showing the internal configuration of this reference current generating circuit 200.

[0031] As shown in drawing 10, the reference current generating circuit 200 consists of the reference current control circuits RC and the control current output circuits CO which are included in the 1st anode-rays drive circuit 21 shown in drawing 7. That is, by the current Miller circuit which consists of these reference current control circuit RC and a control current output circuit CO, the reference current IREF determined based on a reference potential VREF and Resistance RP is generated, and this is supplied to the input edge Iin of the anode-rays drive circuit 201.

[0032] Here, each of the above-mentioned anode-rays drive circuits 201-203 has the same internal configuration mutually, and shows the internal configuration to drawing 11. As shown in drawing 11, each of the anode-rays drive circuits 201-203 is constituted from transistors Q1-Qm as m current driving sources, and resistance R1-Rm by the drive current control circuit CC, the control current output circuit CO, a switch block SB, and the like.

[0033] In addition, the drive current control circuit CC is the same as that of what is carried in the 2nd anode-rays driver circuit 22 of drawing 7, and the above-mentioned control current output circuit CO of it is the same as that of what is carried in the 1st anode-rays driver circuit 21 of drawing 7. Furthermore, the configuration which consists of the above-mentioned switch block SB, transistors Q1-Qm, and resistance R1-Rm is also the same as that of what is shown in drawing 7.

[0034] In short, although shown in drawing 11, a \*\*\*\* anode-rays drive circuit is outputted from an outgoing end Iout by making the current of the amount of the same currents as this generated luminescence drive current i into the control current ic while generating the fixed current according to the current supplied through that input edge Iin as a luminescence drive current i. Therefore, the anode-rays drive circuit 201 generates m luminescence drive currents i which have the amount of the same currents as the above-mentioned reference current IREF supplied through the input edge Iin, and supplies these to each of the anode rays A1-Am of ELDP10" according to the above-mentioned 1st drive data GA1-m. Furthermore, the anode-rays drive circuit 201 generates the control current ic which has the amount of the same currents as this luminescence drive current i, and supplies it to the input edge Iin of the anode-rays drive circuit 202 through an outgoing end Iout by making this into the control current ic1. The anode-rays drive circuit 202 generates m luminescence drive currents i which have the amount of the same currents as the above-mentioned control current ic1 supplied from the input edge Iin, and supplies these to anode-rays Am+1-A2m each of ELDP10" according to the above-mentioned 2nd drive data GB1-m. Furthermore, the anode-rays drive circuit 202 generates the control current ic which has the amount of the same currents as this luminescence drive current i, and supplies it to the input edge Iin of the anode-rays drive circuit 203 through an outgoing end Iout by making this into the control current ic2. The anode-rays drive circuit 203 generates m luminescence drive currents i which have the amount of the same currents as the above-mentioned control current ic2 supplied from the input edge Iin, and supplies these to each of anode-rays A2m+1 - A3m of ELDP10" according to the above-mentioned 3rd drive data GC1-m.

[0035] In addition, in the above-mentioned example, although explained using the transistor of a bipolar mold as transistors Q1-Qm which are luminescence drive current sources, it may be made to realize with an MOS (Metal Oxide Semiconductor) transistor.

[0036]

[Effect of the Invention] In two or more anode-rays drive circuits built in IC chip according to individual, respectively sharing the anode rays of a display panel, and driving them in this invention, like the above, he is trying for the 1st anode-rays drive circuit to control the amount of currents of the luminescence drive current which should be outputted based on the luminescence drive current which the 2nd anode-rays drive circuit actually outputted.

[0037] therefore, the amount of currents of the luminescence drive current outputted from each even if the variation in a property is between metaphor each IC chip (as an anode-rays drive circuit) -- abbreviation -- since it becomes the same, uniform luminescence brightness comes to be obtained on a display panel.

---

[Translation done.]

**THIS PAGE BLANK (USPTO)**

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

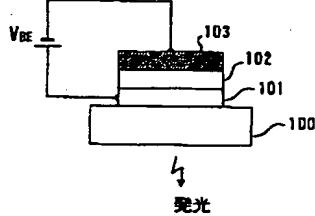
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

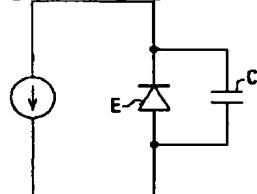
3. In the drawings, any words are not translated.

DRAWINGS

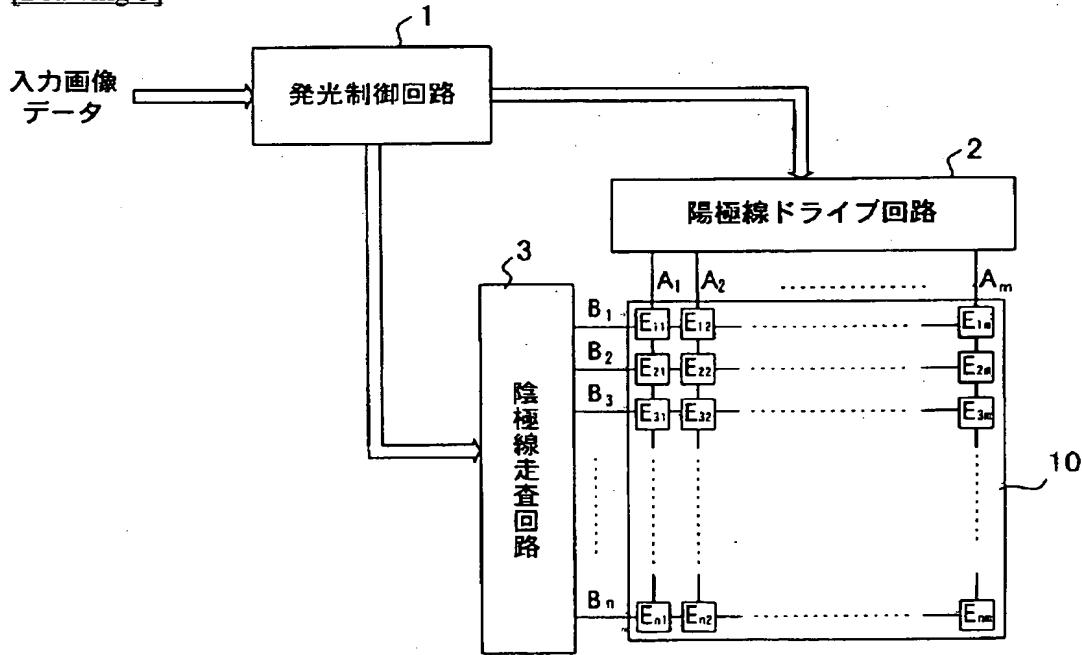
[Drawing 1]



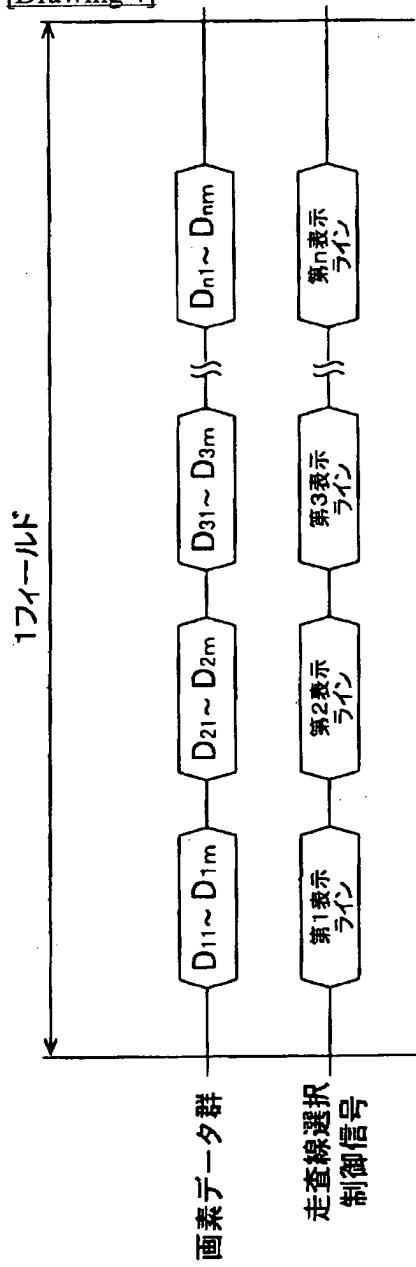
[Drawing 2]



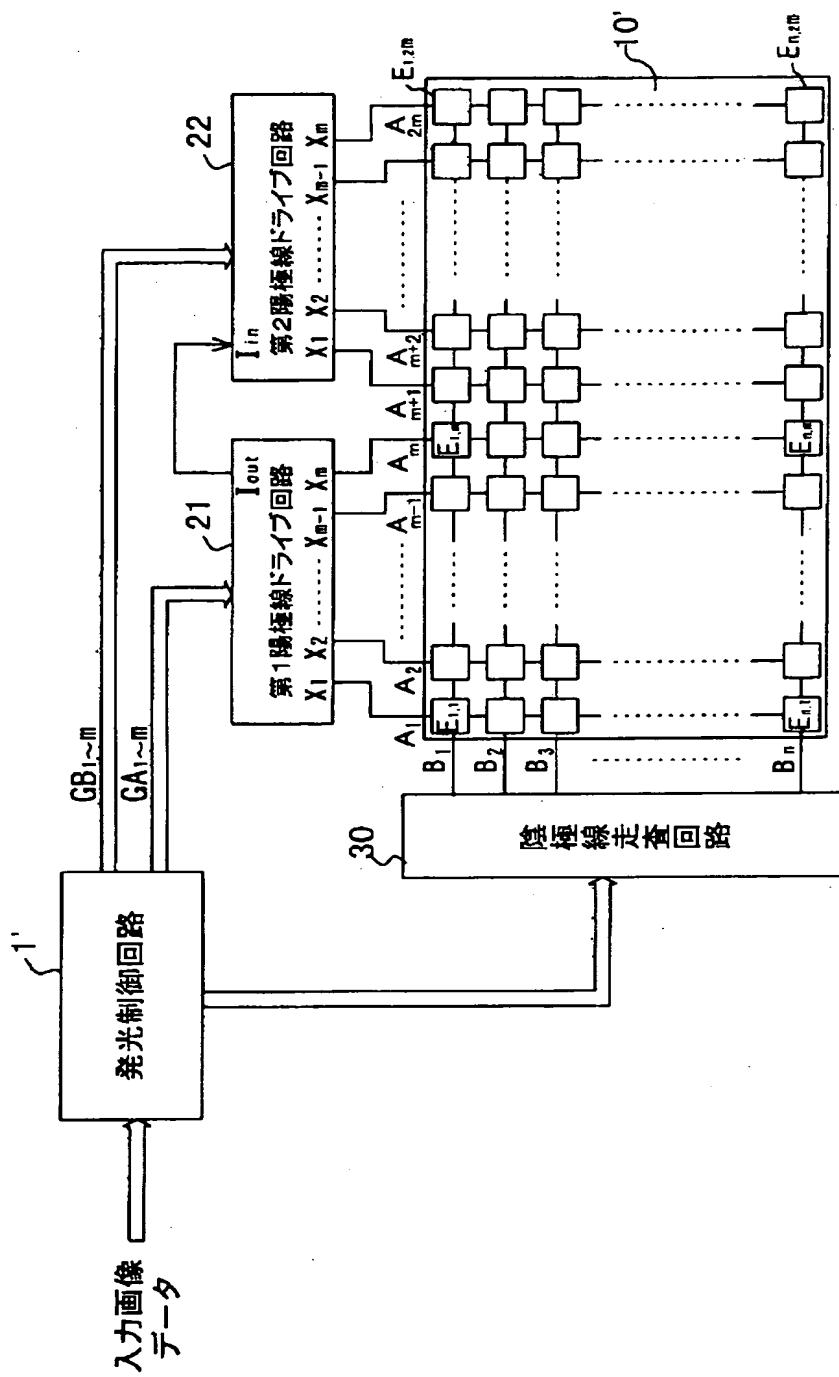
[Drawing 3]



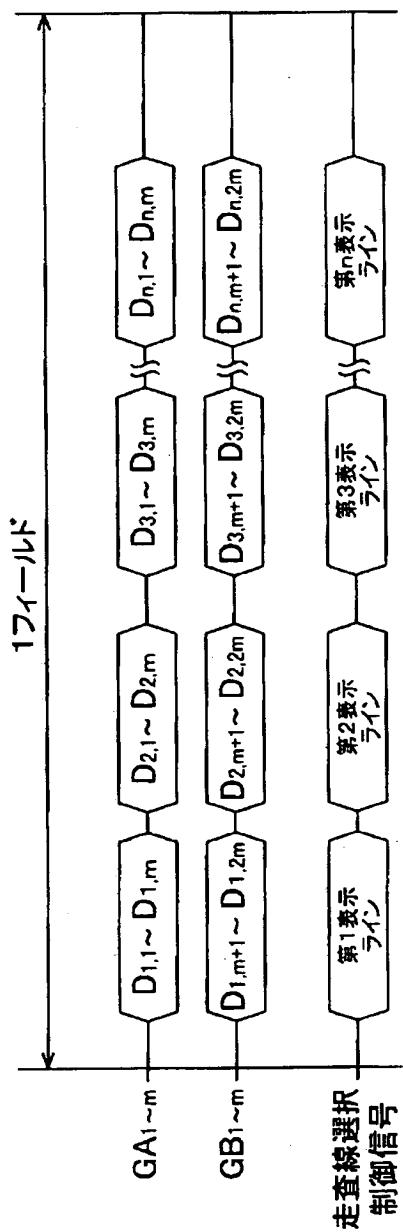
[Drawing 4]



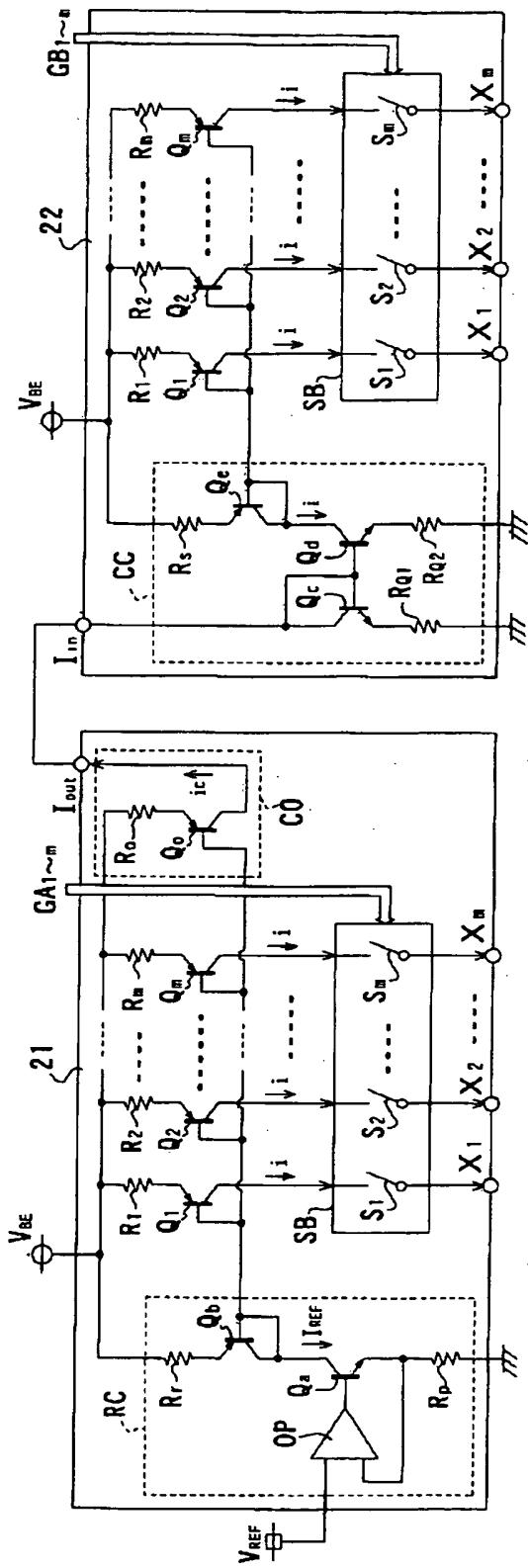
[Drawing 5]



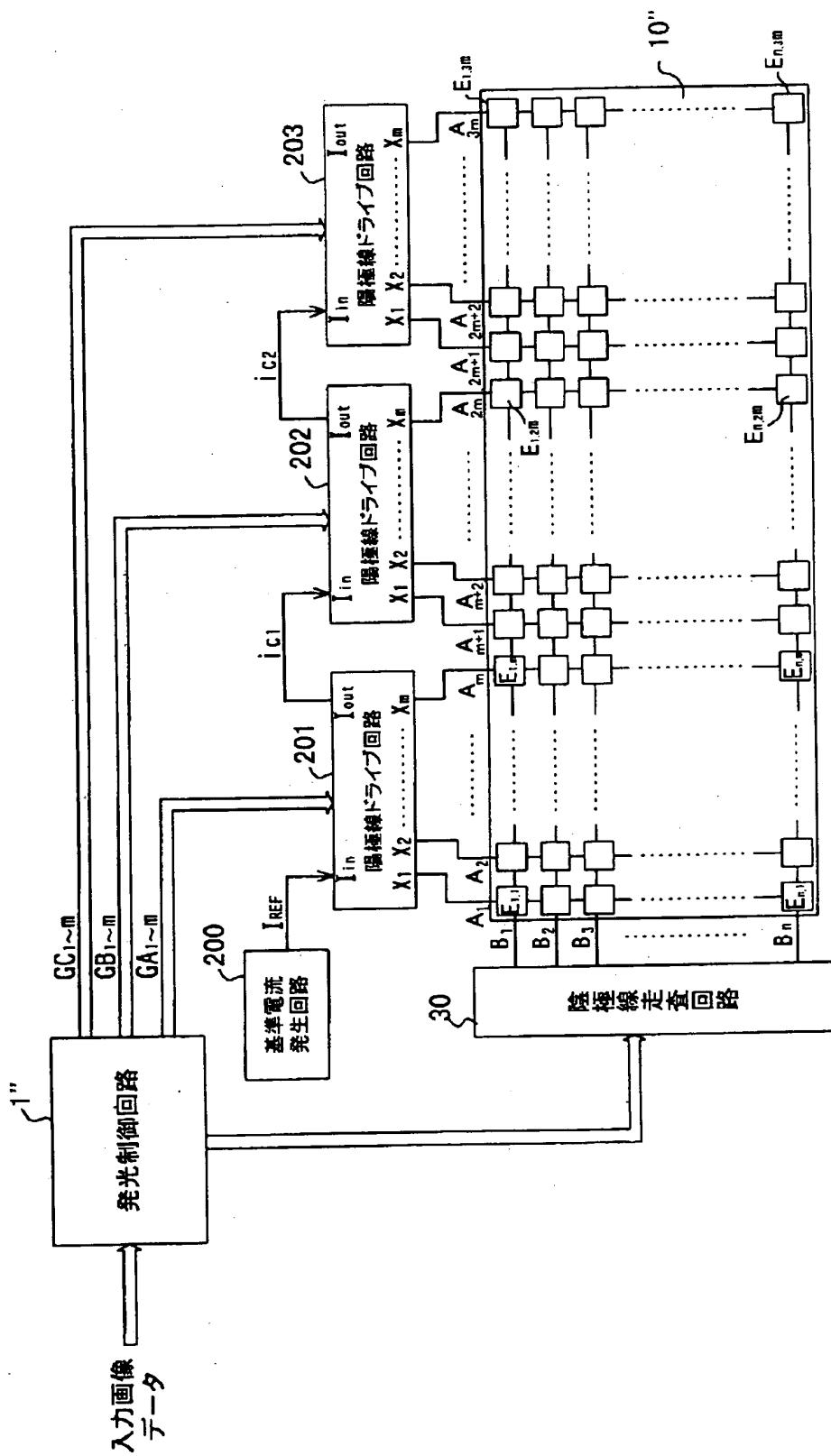
[Drawing 6]



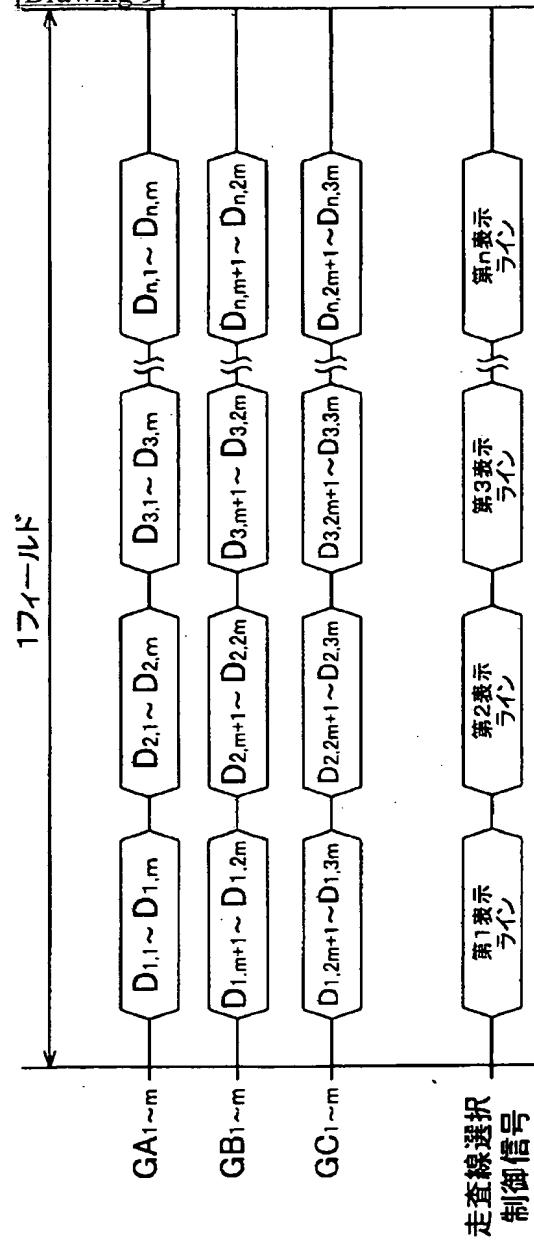
[Drawing 7]



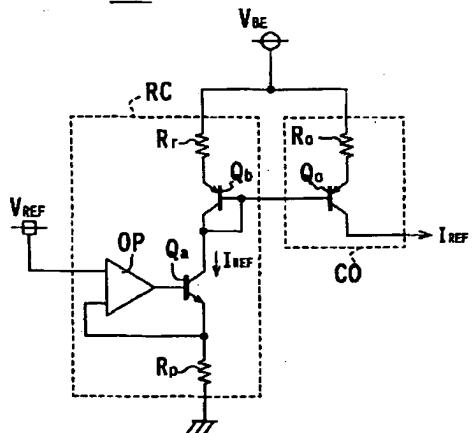
[Drawing 8]



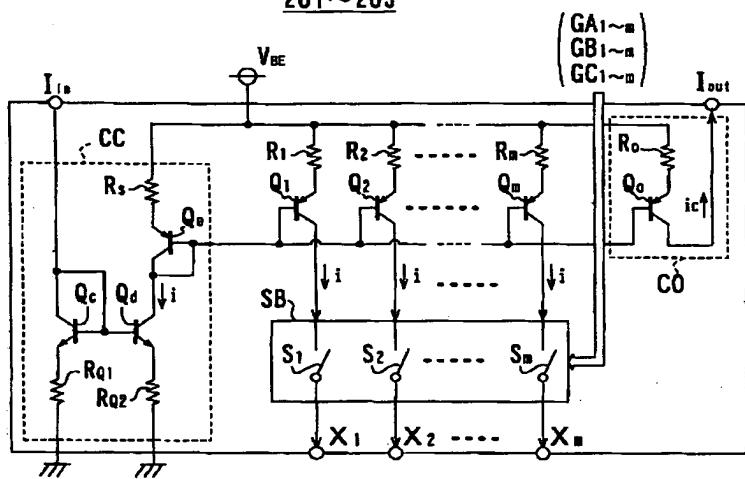
[Drawing 9]



[Drawing 10]

200

[Drawing 11]

201~203

[Translation done.]